



ESCUELA SUPERIOR POLITÉCNICA DE CHIMBORAZO
FACULTAD DE INFORMÁTICA Y ELECTRÓNICA
CARRERA DE INGENIERÍA ELECTRÓNICA EN CONTROL Y REDES
INDUSTRIALES

“ESTUDIO DEL EFECTO DE ESTRÉS TÉRMICO Y ELÉCTRICO
EN DISPOSITIVOS ELECTRÓNICOS A TRAVÉS DE
MEDICIONES DE RUIDO DE BAJA FRECUENCIA”

Trabajo de titulación

Tipo: Proyecto de Investigación

Presentado para optar al grado académico de:

INGENIERA EN ELECTRÓNICA CONTROL Y REDES
INDUSTRIALES

AUTOR: SOFIA ELIZABETH BERRONES ASQUI

DIRECTOR: ING. JORGE LUIS HERNÁNDEZ AMBATO, PhD

Riobamba – Ecuador

2020

©2020, Sofia Elizabeth Berrones Asqui.

Se autoriza la reproducción total o parcial, con fines académicos, por cualquier medio o procedimiento, incluyendo la cita bibliográfica del documento, siempre y cuando se reconozca el Derecho de Autor.

Yo, Sofia Elizabeth Berrones Asqui, declaro que el presente trabajo es de mi autoría y los resultados del mismo son auténticos. Los textos en el documento provienen de otras fuentes están debidamente citados y referenciados.

Como autor asumo la responsabilidad legal y académica de los contenidos de este trabajo de titulación; El patrimonio intelectual pertenece a la Escuela Superior Politécnica de Chimborazo.

Riobamba, 21 septiembre de 2020

Sofia Elizabeth Berrones Asqui

0604142398

ESCUELA SUPERIOR POLITÉCNICA DE CHIMBORAZO
FACULTAD DE INFORMÁTICA Y ELECTRÓNICA
CARRERA DE INGENIERÍA ELECTRÓNICA EN CONTROL Y REDES
INDUSTRIALES

El tribunal del trabajo de titulación certifica que: El trabajo de titulación tipo: Proyecto de Investigación, **ESTUDIO DEL EFECTO DE ESTRÉS TÉRMICO Y ELÉCTRICO EN DISPOSITIVOS ELECTRÓNICOS A TRAVÉS DE MEDICIONES DE RUIDO DE BAJA FRECUENCIA**, realizado por **SOFIA ELIZABETH BERRONES ASQUI**, ha sido minuciosamente revisado por los miembros del tribunal del trabajo de titulación, el mismo que cumple con los requisitos científicos, técnicos, legales, en tal virtud el Tribunal Autoriza su presentación.

NOMBRE	FIRMA	FECHA
Ing. Franklin Geovanni Moreno Montenegro PRESIDENTE DE TRIBUNAL	_____	2020-09-21
Ing. Jorge Luis Hernández Ambato, PhD. DIRECTOR DE TRABAJO DE TITULACION	_____	2020-09-21
Ing. Andrés Fernando Morocho Caiza MIEMBRO DEL TRIBUNAL	_____	2020-09-21

DEDICATORIA

A mis padres que con su ejemplo de esfuerzo, dedicación y trabajo me alentaron a no rendirme durante esta etapa de mi vida y día a día me inspiran a ser una mejor versión de mí misma. A mis tres amores por traer alegría, motivación y paz a mi vida.

Sofía.

AGRADECIMIENTO

A mi padre por ser mi principal soporte durante este proceso y a mi madre que desde el cielo cuida y vela por mí. A Ronald por tu apoyo incondicional, tu amor y paciencia. A mis maestros, quienes han contribuido con sus conocimientos en mi desarrollo académico especialmente al doctor Jorge Hernández, que ha sido un apoyo esencial en el cumplimiento de este trabajo de titulación. A todos mis familiares y amigos que me han brindado una palabra de aliento y motivación para concluir esta etapa. A todos ustedes ¡Gracias!

Sofia.

TABLA DE CONTENIDOS

ÍNDICE DE TABLAS.....	ix
ÍNDICE DE FIGURAS.....	x
ÍNDICE DE GRÁFICOS.....	xi
ÍNDICE DE ECUACIONES	xiii
ÍNDICE DE ANEXOS	xiv
ÍNDICE DE ABREVIATURAS	xv
RESUMEN	xvii
ABSTRACT.....	xviii
INTRODUCCIÓN	1

CAPÍTULO I

1.	MARCO TEÓRICO	5
1.1	Ruido.....	5
1.2	Modelos matemáticos para describir el ruido electrónico en dispositivos semiconductores	6
1.2.1	<i>Densidad espectral de potencia (PSD).....</i>	<i>7</i>
1.3	Mecanismos de Generación de Ruido Electrónico	8
1.3.1	<i>Ruido de baja frecuencia</i>	<i>8</i>
1.3.1.1	<i>Ruido Térmico</i>	<i>9</i>
1.3.1.2	<i>Ruido Flicker</i>	<i>10</i>
1.4	Modelos de Ruido en Baja Frecuencia	12
1.4.1	<i>Ecuación Fenomenológica de Hooge</i>	<i>12</i>
1.4.2	<i>Modelo de fluctuaciones numéricas de McWhorter</i>	<i>13</i>
1.4.3	<i>Modelo de Fluctuaciones de temperatura de Voss y Clark</i>	<i>14</i>
1.4.4	<i>Modelo de Mecánica Cuántica de Handel.....</i>	<i>15</i>
1.5	Técnicas de análisis de fallas en dispositivos semiconductores	16
1.5.1	<i>Estrés Eléctrico</i>	<i>17</i>
1.5.2	<i>Estrés Térmico</i>	<i>19</i>
1.6	Dispositivos Electrónicos de Potencia	21
1.6.1	<i>MOSFETs</i>	<i>22</i>
1.7	Instrumentación para medición de ruido de baja frecuencia	26

CAPÍTULO II

2.	MARCO METODOLÓGICO.....	28
2.1	Introducción	28
2.2	Catalogación de Dispositivos Semiconductores	29
2.2.1	<i>Selección de Dispositivos Bajo Prueba</i>	<i>30</i>
2.3	Caracterización Tensión - Corriente	32
2.4	Bancos de Pruebas para Estrés Térmico y Eléctrico	34
2.4.1	<i>Técnica de Aplicación de Estrés Térmico y Eléctrico</i>	<i>34</i>
2.4.1.1	<i>Instrumentación para Aplicación de Estrés Térmico</i>	<i>35</i>
2.4.1.2	<i>Instrumentación para Aplicación de Estrés Eléctrico</i>	<i>37</i>
2.5	Medición de Ruido de Baja Frecuencia.....	39
2.5.1	<i>Técnica de Medición de Ruido de Baja Frecuencia.....</i>	<i>39</i>
2.5.1.1	<i>Instrumentación para la Medición de Ruido de Baja Frecuencia</i>	<i>40</i>
2.5.2	<i>Densidad Espectral de Potencia</i>	<i>43</i>
2.6	Estadísticas para la fiabilidad en dispositivos semiconductores.....	44
2.6.1	<i>Modelo de Arrhenius</i>	<i>44</i>

CAPÍTULO III

3.	MARCO DE RESULTADOS.....	47
3.1	Introducción	47
3.2	Caracterización I-V previo a la aplicación del estrés	47
3.3	Mediciones de ruido de baja frecuencia previo a la aplicación del estrés	50
3.4	Aplicación de Estrés Térmico y Eléctrico	53
3.5	Caracterización I-V posterior a la aplicación del estrés.....	54
3.6	Mediciones de ruido de baja frecuencia posterior a la aplicación del estrés	58
3.7	Análisis de LFNM y comparación con mecanismos de degradación.....	64
3.7.1	<i>Energía de Activación</i>	<i>64</i>
3.7.2	<i>Correlación entre Ruido de Baja Frecuencia y los Mecanismos de Degradación</i>	<i>65</i>
3.8	Análisis de Costos del Estudio.....	66

CONCLUSIONES.....	68
RECOMENDACIONES.....	69
GLOSARIO	
BIBLIOGRAFÍA	
ANEXOS	

ÍNDICE DE TABLAS

Tabla 1-2:	Catálogo de Dispositivos MOSFETs.....	29
Tabla 2-2:	Dispositivos MOSFETs de Canal n.....	30
Tabla 3-2:	Dispositivos MOSFETs: Alto, medio y bajo V_DS.	32
Tabla 1-3:	Caracterización I-V antes del estrés.	47
Tabla 2-3:	Condiciones de aplicación de estrés térmico y eléctrico.....	53
Tabla 3-3:	Caracterización I-V antes y después del estrés térmico y eléctrico.	57
Tabla 4-3:	Comparación resultados de mediciones de ruido de baja frecuencia de los DUTs antes y después del estrés, extraídos a 1.18×10^{-4} Hz.	64
Tabla 5-3:	Energías de Activación de los mecanismos de falla inducidos en los DUTs.	65
Tabla 5-3:	Descripción de Costos del Estudio.	67

ÍNDICE DE FIGURAS

Figura 1-1:	Esquema Prueba HTGB.	18
Figura 2-1:	Esquema Prueba HTRB.....	21
Figura 3-1:	Estructura MOSFET. a) LDMOS. b) VMOS.	23
Figura 4-1:	Símbolos MOSFETs a) Canal N, b) Canal P.....	23
Figura 5-1:	Estructura MOSFET canal N.....	24
Figura 6-1:	Configuración de medición de ruido de baja frecuencia.	26
Figura 7-1:	Configuración de medición de ruido de baja frecuencia.	27
Figura 1-2:	Diagrama de bloques de las etapas del diseño experimental planteado para el estudio del efecto del estrés térmico y eléctrico en dispositivos semiconductores de potencia.	28
Figura 2-2:	Empaquetado TO-220.	31
Figura 3-2:	Analizador de parámetros keithley 4200 SCS.	32
Figura 4-2:	Conexión del DUT al analizador de parámetros keithley 4200 SCS.....	33
Figura 5-2:	Caja metálica y DUT.....	33
Figura 6-2:	Detalles del mini calentador: (a) modo de transferencia de calor entre SAFeFET y DUT y (b) tamaño del soporte metálico en mm.	35
Figura 7-2:	Instrumentación estrés térmico: Mini calentador.	36
Figura 8-2:	Diagrama de bloques del TCM.....	36
Figura 9-2:	Instrumentación estrés térmico: Modulo de control térmico (Hernandez y Pace, 2016).	37
Figura 10-2:	Diagrama de la instrumentación para aplicación de estrés eléctrico.	38
Figura 11-2:	Instrumentación para la aplicación de estrés eléctrico (Toro, 2020).	38
Figura 12-2:	Instrumentación para la aplicación de estrés eléctrico (Toro, 2020).	39
Figura 13-2:	Diagrama de bloques del sistema de medición de ruido de baja frecuencia.	40
Figura 14-2:	Instrumentación LFNM: Interfaz gráfica (Barcia Macías, 2019).....	41
Figura 15-2:	Instrumentación LFNM: Tarjeta Analógica y Digital (Barcia Macías, 2019).....	42
Figura 16-2:	Instrumentación LFNM: Adquisición de Datos (Barcia Macías, 2019).....	42
Figura 17-2:	Energías de Activación para mecanismos de falla comunes.	46
Figura 1-3:	Aplicación de Estrés Térmico y Eléctrico.	54

ÍNDICE DE GRÁFICOS

Gráfico 1-1:	Comparación de dos señales con una señal de ruido.....	5
Gráfico 2-1:	Tres muestras diferentes de un solo proceso estocástico a tiempo continuo: ruido $B(t)$	6
Gráfico 3-1:	Aproximación de una señal aleatoria a una señal periódica.	7
Gráfico 4-1:	Densidad espectral de corriente.	8
Gráfico 5-1:	Densidad espectral de potencia de Ruido de	9
Gráfico 6-1:	Superposición de 4 lorentzianos dando un espectro total con una dependencia de $1/f$ durante varias décadas de frecuencia.	11
Gráfico 7-1:	Diferencia de espectros de frecuencia de Hooge y McWhorter.....	14
Gráfico 8-1:	Perfil de temperatura típico.....	20
Gráfico 9-1:	Características corriente voltaje MOSFET.....	25
Gráfico 1-2:	Densidad espectral de potencia del ruido de un amplificador referida a la entrada.....	43
Gráfico 2-2:	Densidad espectral de potencia de corriente de drenador para un n- MOSFET de Silicio bajo un estrés constante de 3.5V por 55 minutos.	44
Gráfico 3-2:	Pruebas de vida a dos temperaturas.....	45
Gráfico 1-3:	Caracterización I-V DUT IRF820.....	48
Gráfico 2-3:	Caracterización I-V DUT IRF740.....	48
Gráfico 3-3:	Caracterización I-V DUT IRF630.....	49
Gráfico 4-3:	Caracterización I-V DUT IRFZ44.	49
Gráfico 5-3:	Caracterización I-V DUT IRFZ20.	50
Gráfico 6-3:	Medición LFN DUT IRF820.	51
Gráfico 7-3:	Medición LFN DUT IRF740.	51
Gráfico 8-3:	Medición LFN DUT IRF630.	52
Gráfico 9-3:	Medición LFN DUT IRFZ44.....	52
Gráfico 10-3:	Medición LFN DUT IRFZ20.....	53
Gráfico 11-3:	Caracterización I-V DUT IRF820 después de la aplicación del estrés.	55
Gráfico 12-3:	Caracterización I-V DUT IRF740 después de la aplicación del estrés.	55
Gráfico 13-3:	Caracterización I-V DUT IRF630 después de la aplicación del estrés.	56
Gráfico 14-3:	Caracterización I-V DUT IRFZ44 después de la aplicación del estrés.	56
Gráfico 15-3:	Caracterización I-V DUT IRFZ20 después de la aplicación del estrés.	57
Gráfico 16-3:	Medición LFN DUT IRF820 comparación antes y después de la aplicación del estrés.	58

Gráfico 17-3:	Medición LFN DUT IRF740 comparación antes y después de la aplicación del estrés.....	59
Gráfico 18-3:	Medición LFN DUT IRF630 comparación antes y después de la aplicación del estrés.....	59
Gráfico 19-3:	Medición LFN DUT IRFZ44 comparación antes y después de la aplicación del estrés.....	60
Gráfico 20-3:	Medición LFN DUT IRFZ20 comparación antes y después de la aplicación del estrés.....	60
Gráfico 21-3:	Ruido flicker DUT IRF820 comparación antes y después de la aplicación del estrés.....	61
Gráfico 22-3:	Ruido flicker DUT IRF740 comparación antes y después de la aplicación del estrés.....	62
Gráfico 23-3:	Ruido flicker DUT IRF630 comparación antes y después de la aplicación del estrés.....	62
Gráfico 24-3:	Ruido flicker DUT IRFZ44 comparación antes y después de la aplicación del estrés.....	63
Gráfico 25-3:	Ruido flicker DUT IRFZ20 comparación antes y después de la aplicación del estrés.....	63
Gráfico 26-3:	Correlación V_{th} y PSD de los DUTs basado en los datos de las Tablas 3-3 y 4-3.....	66

ÍNDICE DE ECUACIONES

Ecuación 1-1:	Definición de la Densidad Espectral de potencia.....	7
Ecuación 2-1:	Densidad Espectral de Corriente en una resistencia R.....	10
Ecuación 3-1:	Densidad Espectral de Voltaje en una resistencia R.....	10
Ecuación 4-1:	Forma general de la Densidad Espectral de Potencia.....	10
Ecuación 5-1:	Ecuación establecida por Hooge.....	12
Ecuación 6-1:	Ecuación modificada de Hooge.....	13
Ecuación 7-1:	Aproximaciones de McWhorter.....	14
Ecuación 8-1:	Aproximaciones de McWhorter.....	14
Ecuación 9-1:	Modelo de Voss y Clark.....	15
Ecuación 10-1:	Regiones de Frecuencia.....	15
Ecuación 11-1:	Fluctuaciones de temperatura Modelo Voss y Clark.....	15
Ecuación 12-1:	Modelo de Handel.....	16
Ecuación 1-2:	Modelo de Arrhenius.....	44
Ecuación 2-2:	Modelo de Arrhenius para pruebas de vida acelerada en dispositivos semiconductores.....	45
Ecuación 1-3:	Ecuación de Arrhenius para obtener la energía de activación.....	64

ÍNDICE DE ANEXOS

- ANEXO A:** HOJA TÉCNICA DE DATOS DE MOSFET IRF820
- ANEXO B:** HOJA TÉCNICA DE DATOS DE MOSFET IRF740
- ANEXO C:** HOJA TÉCNICA DE DATOS DE MOSFET IRF630
- ANEXO D:** HOJA TÉCNICA DE DATOS DE MOSFET IRFZ44
- ANEXO E:** HOJA TÉCNICA DE DATOS DE MOSFET IRFZ20
- ANEXO F:** HOJA TÉCNICA DE DATOS ENCAPSULADO TO 220
- ANEXO G:** HOJA TÉCNICA DE DATOS KEITHLEY 4200 SCS

ÍNDICE DE ABREVIATURAS

EMI: Interferencia Electromagnética

LFNM: Mediciones de Ruido de Baja Frecuencia

DUT: Dispositivo Bajo Prueba

PSD: Densidad Espectral de Potencia

FET: Transistor de Efecto de Campo

HFET: Transistor de Efecto de Campo Estructura heterogénea

JFET: Transistor de Efecto de Campo de Unión

MOS: Metal – Óxido Semiconductor

DMOS: Metal – Óxido Semiconductor de Doble difusión

CMOS: Metal – Óxido Semiconductor Complementario

LDMOS: Metal – Óxido Semiconductor lateralmente difundido

IGBT: Transistor Bipolar de Compuerta aislada

MESFET: Transistor de Efecto de Campo de Metal

MOSFET: Transistor de Efecto de Campo de Metal – Óxido Semiconductor

PID: Proporcional Integral Derivativo

PWM: Modulación de ancho de Pulso

RMS: Raíz de la Media del Cuadrado

HTGB: Prueba de Polarización de Compuerta a alta Temperatura

HTRB: Prueba de Polarización Inversa a alta Temperatura

PTFS: Sistema de Forzamiento de Temperatura de Precisión

TCT: Pruebas de Ciclos Térmicos

TST: Pruebas de Choque Térmico

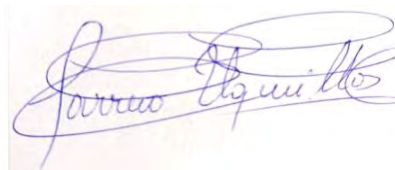
CTE: Coeficiente de Expansión Térmica

TCM: Módulo de control

RESUMEN

En este trabajo de titulación se estudió el efecto del estrés térmico y eléctrico en dispositivos semiconductores de potencia a través de mediciones de ruido de baja frecuencia. Como parte de la metodología se describen los pasos del diseño experimental partiendo desde establecer los requerimientos de estrés que se debe aplicar sobre dispositivos para evidenciar la presencia de ruido de baja frecuencia. Para cumplir los requerimientos de estrés las herramientas de software y hardware seleccionadas fueron una fuente de tensión variable hasta 1200V diseñada para la aplicación de estrés eléctrico, un módulo de temperatura compuesto por un mini calentador y un módulo de control diseñado para la aplicación de estrés térmico junto con el analizador de parámetros Keithley 4200-SCSn para la caracterización corriente-voltaje y un sistema de medición de ruido de baja frecuencia para caracterización de canales conductivos en dispositivos electrónicos. El diseño experimental se compone de cinco etapas: Catalogación y selección de dispositivos, Caracterización Tensión–Corriente, Medición de ruido de baja frecuencia, Pruebas de estrés térmico y eléctrico y Estadística para la fiabilidad en los dispositivos. Los resultados indican un mayor nivel de ruido flicker después de la aplicación del estrés que se relacionan con cambios en el voltaje de umbral producto del estrés aplicado, correlacionando directamente dichos parámetros. Mediante estos resultados obtenidos, y la información consultada acerca del estado del arte relacionado a la fiabilidad en dispositivos semiconductores, se puede inferir que sobre los dispositivos bajo prueba se ha activado un mecanismo de degradación conocido como “contaminación iónica”.

PALABRAS CLAVE: <INGENIERÍA Y TECNOLOGÍA ELECTRÓNICA>, <RUIDO ELECTRÓNICO>, <CARACTERIZACIÓN ELÉCTRICA>, <DISPOSITIVOS ELECTRÓNICOS>, <FIABILIDAD DE DISPOSITIVOS ELECTRÓNICOS>, <MEDICIÓN DE RUIDO ELECTRÓNICO>



22-04-2020

0093-DBRAI-UPT-2020

ABSTRACT

In this degree work, the effect of thermal and electrical stress on power semiconductor devices was studied through low-frequency noise measurements. As part of the methodology, the experimental design steps are described starting from establishing the stress requirements that must be applied to devices to demonstrate the presence of low-frequency noise. To accomplish the stress requirements, the selected software and hardware tools were a variable voltage source up to 1200V designed for the application of electrical stress, a temperature module composed of a mini heater and a control module designed for the thermal stress application together with the Keithley 4200-SCSn parameter analyzer for current-voltage characterization, and a low-frequency noise measurement system for characterization of conductive channels in electronic devices. The experimental design consists of five stages Cataloging and device selection, Voltage-Current Characterization, Low-frequency noise measurement, Thermal and electrical stress tests, and Statistics for device reliability. The results indicate a higher level of flicker noise after the application of stress related to changes in the threshold voltage, as a result of the applied stress, directly correlating these parameters. Through these obtained results, and the information consulted about the state of the art related to reliability in semiconductor devices, it can be inferred that a degradation mechanism known as "ionic contamination" has been activated on the devices under test.

Keywords: <ENGINEERING AND ELECTRONIC TECHNOLOGY>, <ELECTRONIC NOISE>, <ELECTRICAL CHARACTERIZATION>, <ELECTRONICS DEVICES>, <RELIABILITY OF ELECTRONIC DEVICES>, <ELECTRONIC NOISE MEASUREMENT>

INTRODUCCIÓN

La evaluación de la fiabilidad de los dispositivos electrónicos se considera entre los temas más importantes de la electrónica y sus aplicaciones. Los problemas generados por la degradación, como la pérdida en el rendimiento del dispositivo, se han vuelto importantes en las últimas décadas debido a la complejidad y miniaturización de los circuitos actuales (Ciofi y Neri, 2000). Considerando el rol crucial que estos desempeñan actualmente en aplicaciones fundamentales para la industria es importante estudiar los mecanismos de degradación que afectan a los dispositivos y los efectos que estos causan, principalmente cuando se presentan condiciones desfavorables de operación que reducen su vida útil (Pace et al., 2017).

Las aplicaciones en donde más se evidencia la degradación en los dispositivos son las que requieren el manejo de potencias altas. Los dispositivos semiconductores de potencia, en este sentido, son los más vulnerables a presentar fallas (Smet et al., 2011). La generación y distribución de energía es un ejemplo de estas aplicaciones. Según el instituto de investigación de energía eléctrica aproximadamente el 70% de la energía es tratada por electrónica de potencia mediante dispositivos semiconductores (Bose, 2013). Es necesario evaluar la fiabilidad de los dispositivos antes de incorporarlos en sistemas en desarrollo. Dicha evaluación determinará el nivel de degradación y los mecanismos de falla que provocan el daño del dispositivo en determinadas condiciones de trabajo. Estos aspectos pueden ser observados mediante mediciones eléctricas y de ruido de baja frecuencia en dispositivos bajo prueba (DUT) en situaciones de estrés controladas (Pace et al., 2017).

Las características eléctricas de los controladores de potencia (MOSFETs, IGBT, Transistores bipolares, Diodos, etc.) tienden a degradarse con el tiempo y condiciones de uso dentro de las aplicaciones electrónicas (Deen, 2017). Las técnicas tradicionales de comprobación fiabilidad de dispositivos electrónicos llevadas a cabo se basan en pruebas de su vida útil, pero estos tienen un largo tiempo de vida. Es impráctico observar el comportamiento de un dispositivo durante este tiempo, por esta razón es importante acelerar dicha degradación con la aplicación de estrés eléctrico y térmico (Ciofi y Neri, 2003).

En este sentido, no basta solo la aplicación de dicho estrés, además es importante realizar mediciones que permitan determinar el estado del dispositivo y el grado de degradación. La técnica de medición de ruido de baja frecuencia LFNM por sus siglas en inglés (Low frequency noise measurement), posee determinadas características por las cuales es utilizada desde la década

de 1960 para determinar las causas más importantes de degradación y falla de los dispositivos electrónicos.

La técnica de medición LFNM no es destructiva, tiene alta sensibilidad a fenómenos localizados, no requiere de instrumentación costosa y finalmente no requiere procesos altamente complicados para la preparación de muestras como otras técnicas, de acuerdo con (Ciofi y Neri, 2000). El principal problema que esta técnica presenta es la carencia de instrumentos dedicados disponibles en el mercado puesto que el ruido de fondo que presenta la instrumentación comercial no es compatible con el mínimo nivel ruido de fondo requerido para realizar las mediciones. Este problema se puede solucionar con la utilización de instrumentación propia implementada de acuerdo a las necesidades de su aplicación. EL LFNM se puede usar como una herramienta estándar para caracterización del estado interno de manera no invasiva y para investigar fenómenos localizados causados por la presencia de tales defectos cuyos efectos rara vez se observan mediante el uso de otras herramientas de caracterización eléctrica sensibles al valor medio de la cantidad eléctrica investigada (Ciofi y Neri, 2003).

La LFNM se ha estudiado como una herramienta para analizar impurezas (Van Rheenen et al., 1987) y para caracterización en dispositivos semiconductores, como se muestra en (Scholz et al., 1998). En los siguientes años se realizaron estudios de ruido de baja frecuencia en diodos rectificadores (Marinov et al., 2002). La orientación a dispositivos MOS se ve reflejada con los estudio de ruido de baja frecuencia en transistores MOS asimétricos (Marinov y Deen, 2009), el rendimiento del ruido $1/f$ en dispositivos CMOS de última generación y emergentes (Claeys et al., 2012) y el análisis, modelado y simulación del ruido de baja frecuencia en transistores MOS (Sandoval Ibarra et al., 2013). Siguiendo a estas se hicieron investigaciones de ruido de baja frecuencia en dispositivos de grafeno (Balandin, 2013), aplicación de estrés térmico en módulos IGBT (Smet et al., 2011). En los últimos años se ha realizado un estudio en materiales y dispositivos micro electrónicos (Fleetwood, 2015) y finalmente un Sistema multicanal universal para medición de ruido de baja frecuencia (Chye, 2017).

La mayoría de las investigaciones reportadas en literatura han sido desarrolladas y estudiadas a nivel internacional, enfocándose en dispositivos discretos a nivel macro y microelectrónica. Sin embargo, en el medio local, y específicamente en el Ecuador y en la ciudad de Riobamba, no se han realizado investigaciones de LFNM sobre dispositivos electrónicos comercialmente disponibles, los mismos que son diariamente empleados en proyectos estudiantiles, comerciales y en desarrollo. Por consiguiente, se determinará el grado de generación de defectos a través de mediciones del ruido de baja frecuencia sobre una muestra de dispositivos semiconductores de baja y media potencia disponibles comercialmente en la ciudad de Riobamba.

FORMULACIÓN DEL PROBLEMA

¿Cómo establecer el efecto de estrés térmico y eléctrico en dispositivos electrónicos a través de mediciones de ruido de baja frecuencia?

SISTEMATIZACIÓN DEL PROBLEMA

¿Cuáles son los mecanismos de generación de ruido de baja frecuencia en dispositivos electrónicos?

¿Cuáles son los requerimientos de estrés que se debe aplicar sobre dispositivos electrónicos para evidenciar la presencia de ruido de baja frecuencia?

¿Cuál es el diseño experimental que permita medir los niveles de ruido de baja frecuencia en dispositivos electrónicos?

¿Qué herramientas de software y hardware permitirán ejecutar el diseño experimental para el estudio de niveles de ruido de baja frecuencia en dispositivos estresados térmica y eléctricamente?

¿Cómo se podrá correlacionar los niveles de ruido de baja frecuencia medidos en dispositivos electrónicos con los niveles de degradación interna?

OBJETIVOS

OBJETIVOS GENERALES

Estudiar el efecto del estrés térmico y eléctrico en dispositivos electrónicos a través de mediciones de ruido de baja frecuencia.

OBJETIVOS ESPECÍFICOS

- Estudiar los mecanismos de generación de ruido de baja frecuencia en dispositivos electrónicos.
- Establecer los requerimientos de estrés que se debe aplicar sobre dispositivos electrónicos para evidenciar la presencia de ruido de baja frecuencia.
- Definir el diseño experimental que permita medir los niveles de ruido de baja frecuencia en dispositivos electrónicos.
- Seleccionar las herramientas de software y hardware que permitirán ejecutar el diseño experimental para el estudio de niveles de ruido de baja frecuencia en dispositivos estresados térmica y eléctricamente.
- Correlacionar los niveles de ruido de baja frecuencia medidos en dispositivos electrónicos con los niveles de degradación interna.

CAPÍTULO I

1. MARCO TEÓRICO

1.1 Ruido

El ruido se define como fluctuaciones aleatorias espontaneas no deseadas de una cantidad eléctrica que se superpone a su valor promedio (Bentley, 2005, p. 98), como se observa en el Gráfico 1-1, y reduce la certeza de su medición (Uscátegui, 2000). Es necesario establecer que las aplicaciones se ven afectados por ruido generado por fuentes externas, como interferencias electromagnéticas (EMI), e internas, como el ruido electrónico inherente de los dispositivos.

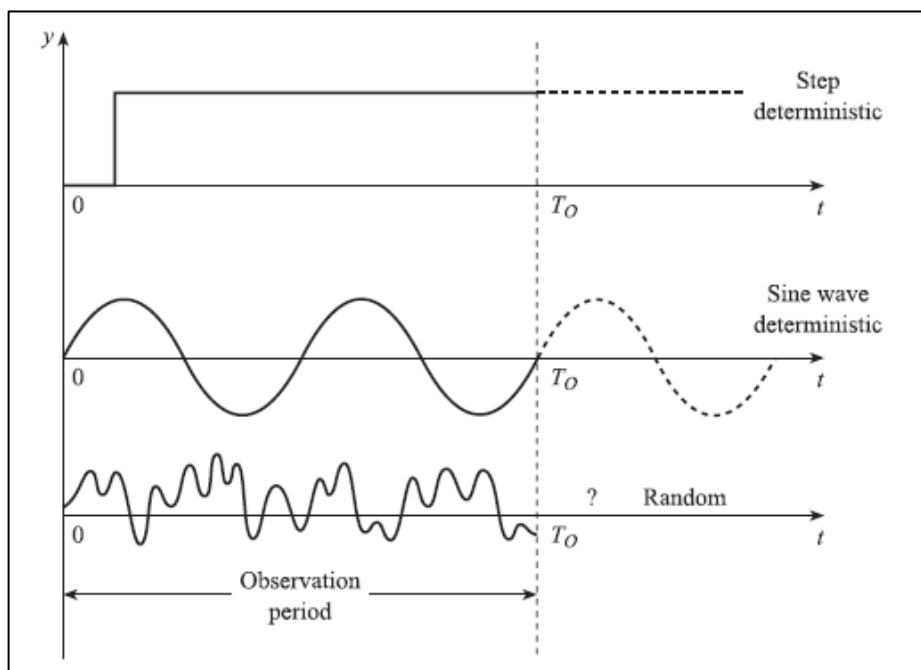


Gráfico 1-1: Comparación de dos señales con una señal de ruido.

Fuente: (Bentley, 2005, p. 98)

Se distinguen dos tipos de fuentes de ruido. En primer lugar, están las fuentes externas de ruido o interferencia electromagnética. Este tipo de fuentes son las mayormente conocidas y se encuentran los circuitos adyacentes, vibraciones, líneas de potencia de corriente alterna, transmisores de radio que perturban el dispositivo debido al acoplamiento electrostático y electromagnético que pueden ser eliminadas mediante blindaje. En segundo lugar, están las fuentes internas de ruido o también denominado ruido electrónico (Cook, 1979; Haartman y Östling, 2007, p. 2) y sobre este tipo se desarrollará el presente estudio.

El ruido electrónico es un fenómeno físico, generado por la presencia de defectos localizados e irregularidades en la microestructura de los dispositivos electrónicos (Ciofi y Neri, 2000), producto de la fabricación del dispositivo e interconexión de componentes dentro de un circuito integrado, que se producen a nivel microscópico y afectan directamente el rendimiento del dispositivo (Motchenbacher y Connelly, 1993, p. 5).

1.2 Modelos matemáticos para describir el ruido electrónico en dispositivos semiconductores

Debido a que el ruido es de naturaleza aleatoria, su valor exacto en un instante de tiempo no puede ser predicho. Estadísticamente se representa como un proceso estocástico, el cual es un modelo probabilístico de un conjunto de formas de onda. Por ejemplo, considerando el Gráfico 2-1, se muestran varias formas de onda correspondientes a ruido provenientes de una radio FM adquiridas por un osciloscopio. Se puede observar tres resultados diferentes para el mismo periodo de observación identificados como S_1 , S_2 y S_3 . Dada su naturaleza, no se espera obtener el mismo resultado en cada observación, sin embargo, es necesario definir un cierto número de parámetros que permitan describir las propiedades estadísticas de dicha señal (Bucci, 2017).

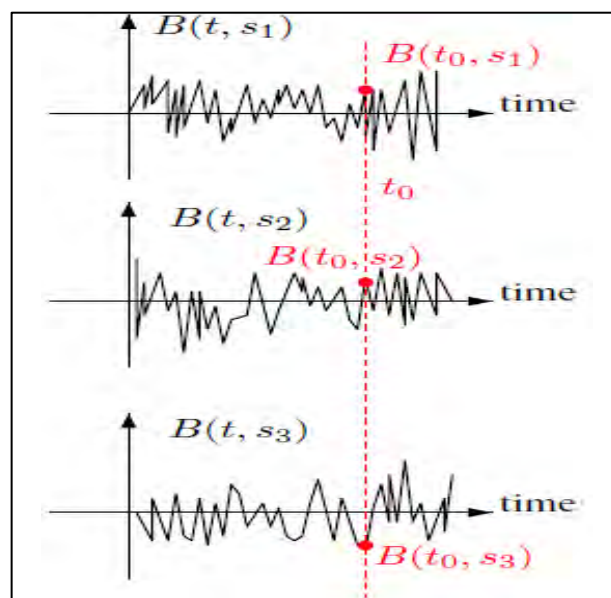


Gráfico 2-1: Tres muestras diferentes de un solo proceso estocástico a tiempo continuo: ruido $B(t)$.

Fuente: (Bucci, 2017, p. 5.1)

1.2.1 Densidad espectral de potencia (PSD)

La densidad espectral de potencia es una cantidad estacionaria, que permite medir cómo se distribuye la potencia en una señal aleatoria entre diferentes frecuencias. Si se obtiene una señal aleatoria para varios períodos de observación, cada una con un periodo determinado, la forma de onda será diferente para cada período, como se indica en el Gráfico 3-1. Sin embargo, la potencia promedio de la señal será aproximadamente la misma para cada período de observación. Esto significa que la potencia de la señal se puede usar para cuantificar señales aleatorias.

Una señal periódica se puede expresar como una serie de Fourier, es decir una suma de ondas sinusoidales con frecuencias que son armónicos de la frecuencia fundamental, por lo tanto, la potencia en una señal periódica se distribuye entre estas frecuencias armónicas. Una señal aleatoria no es periódica y no puede representarse mediante series de Fourier, pero contiene un gran número de frecuencias muy próximas entre sí, por tanto, puede descomponerse en sus componentes de frecuencias y estimar como se distribuye la potencia en dichas componentes de acuerdo con la ecuación 1-1. Esta expresión recibe el nombre de densidad espectral de potencia. El Gráfico 4-1 muestra la representación de la densidad espectral de potencia de una señal aleatoria (Bentley, 2005, p. 102).

Ecuación 1-1: Definición de la Densidad Espectral de potencia.

$$S_{ii} * (f) = \frac{|\mathcal{F}\{i(t)\}|^2}{T}$$

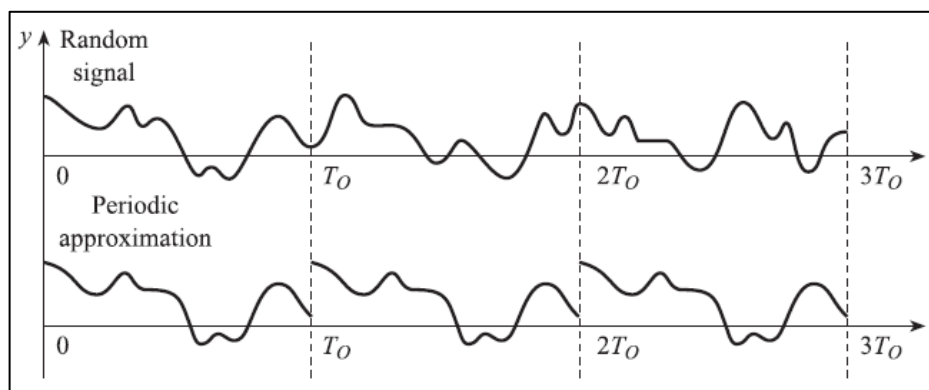


Gráfico 3-1: Aproximación de una señal aleatoria a una señal periódica.

Fuente: (Bentley, 2005, p. 102).

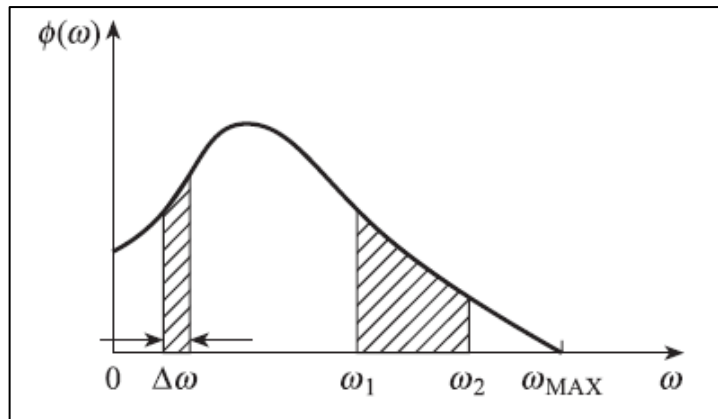


Gráfico 4-1: Densidad espectral de corriente.

Fuente: (Bentley, 2005, p. 102).

Las unidades de medida de la densidad espectral de potencia (PSD por sus siglas en inglés), son A^2/Hz para la corriente de ruido y V^2/Hz para la tensión de ruido. La potencia promedio, también conocida como potencia de una señal se puede interpretar como el cuadrado medio de las corrientes o tensiones de dicha señal entregada a una carga resistiva de 1Ω dentro del ancho de banda del sistema a partir de una corriente o una tensión fluctuante. Por otro lado, el valor RMS de la tensión de una señal es la raíz cuadrada de la potencia de tensión de dicha señal.

1.3 Mecanismos de Generación de Ruido Electrónico

Los problemas generados por el ruido electrónico son evidentes en todos los dispositivos semiconductores. Por ejemplo, los resistores generan ruido térmico, también conocido como ruido Johnson, mientras que los transistores generan ruido de disparo y ruido de baja frecuencia (Crecraft y Gergely, 2002, p. 91).

De manera específica, el origen del ruido de baja frecuencia es aún incierto. En el caso de los resistores, el ruido de baja frecuencia es un efecto de volumen, lo cual difiere de los transistores cuyo caso es un efecto de superficie (Uscátegui, 2000). De todos los mecanismos de generación de ruido de baja frecuencia, el presente estudio se centrará en el ruido de baja frecuencia, específicamente el ruido térmico y ruido flycker.

1.3.1 Ruido de baja frecuencia

El ruido de baja frecuencia también conocido como $1/f^\gamma$, es un tipo de fluctuación que se presenta en dispositivos electrónicos (Uscátegui, 2000).

La PSD de una señal de ruido de baja frecuencia se visualiza en el Gráfico 5-1. La misma está conformado de ruido flicker y ruido de generación-recombinación. El ruido de baja frecuencia puede estar compuesto también de ruido térmico, ruido de disparo y ruido de señal de telégrafo aleatorio que es similar al ruido de generación y recombinación.

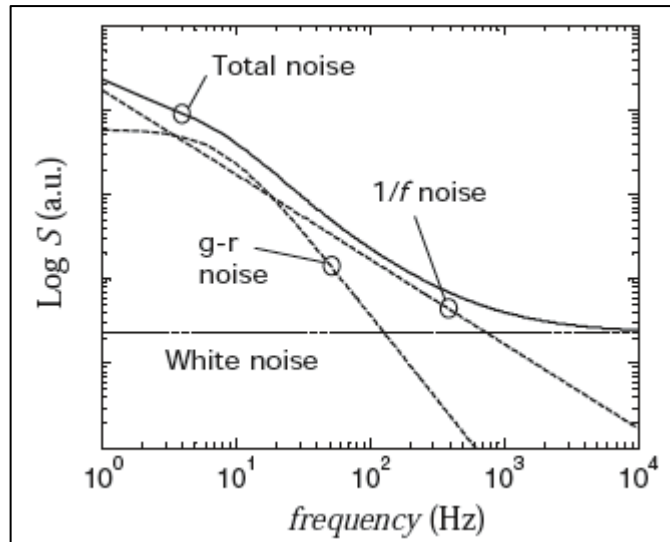


Gráfico 5-1: Densidad espectral de potencia de Ruido de Baja Frecuencia.

Fuente: (Haartman y Östling 2007, p. 5).

1.3.1.1 Ruido Térmico

El ruido térmico también conocido como ruido Johnson se encuentra en todas las aplicaciones y dispositivos electrónicos. El ruido térmico es causado por la vibración aleatoria excitada térmicamente de los portadores de carga en un conductor o semiconductor. El ruido térmico es conocido como ruido blanco debido a que su densidad espectral de potencia es constante y está presente en todas las bandas de baja frecuencia, y su intensidad es mayor si hay una disipación de potencia (calor) en el dispositivo electrónico (Bucci, 2017).

En cada conductor o resistencia a una temperatura por encima del cero absoluto (0 °K), los electrones están en movimiento aleatorio, y esta vibración depende de la temperatura. Como cada electrón tiene una carga de $1.602 \times 10^{-19}\text{C}$, hay muchas pequeñas oleadas de corriente cuando los electrones se mueven aleatoriamente en el material. Aunque la corriente promedio en el conductor resultante de estos movimientos es cero, instantáneamente hay una fluctuación de corriente que da lugar a un voltaje a través de los terminales del conductor (Motchenbacher y Connelly,

1993, p. 25). Considerando un material con una resistencia R sometida una temperatura T diferente de cero, la densidad espectral de potencia de la corriente y el voltaje son:

Ecuación 2-1: Densidad Espectral de Corriente en una resistencia R.

$$S_I = \frac{4kT}{R}$$

Ecuación 3-1: Densidad Espectral de Voltaje en una resistencia R.

$$S_V = 4kTR$$

donde, k es la constante de Boltzmann ($1.38 \times 10^{-23} \text{ Ws/K}$), y la temperatura T está dada en grados Kelvin. El ruido térmico de los elementos resistivos es inevitable, pero se puede minimizar mediante algunas consideraciones en el diseño de circuitos. Los elementos reactivos no generan ruido térmico, por lo tanto, pueden ser utilizados en técnicas de ajuste de entrada. También las partes no utilizadas del ancho de banda deben mantenerse lo más estrechas posible sin afectar la frecuencia de la señal deseada (Haartman y Östling, 2007, p. 6-17).

1.3.1.2 Ruido Flicker

El ruido flicker, también llamado ruido $1/f$ se observó por primera vez en los tubos de vacío, este ruido se denominó efecto de parpadeo o flicker, probablemente debido al parpadeo observado en la corriente de las placas eléctricas (Motchenbacher y Connelly, 1993, p. 26). La principal causa de ruido $1/f$ en dispositivos semiconductores se debe a las propiedades de la superficie del material siendo la generación y recombinación de portadores en los estados de energía superficial y la densidad de los estados factores importantes en la contribución del ruido $1/f$. La densidad espectral de este ruido aumenta sin límite a medida que disminuye la frecuencia y se puede caracterizar por los 4 lorentzianos como se observa en el Gráfico 6-1. La forma general de la densidad espectral de potencia para ruido $1/f^\gamma$ es:

Ecuación 4-1: Forma general de la Densidad Espectral de Potencia.

$$S_I = \frac{KI^\beta}{f^\gamma}$$

donde, K es una constante relacionada con la geometría interna y tecnología de fabricación del dispositivo, β y γ son constantes de ajuste en forma de exponente de corriente y de frecuencia,

respectivamente. Usualmente el valor de γ tiende a 1 y se encuentra en un rango de valores entre 0.7 y 1.3 y el valor de β tiende a ser cercano a 2 (Haartman y Östling, 2007, p. 14). El ruido $1/f$ se puede caracterizar por su densidad de amplitud gaussiana y por su densidad espectral de potencia (PSD), por esta razón se considera que éste tiene propiedades de no varianza de escala y estacionariedad (Uscátegui, 2000).

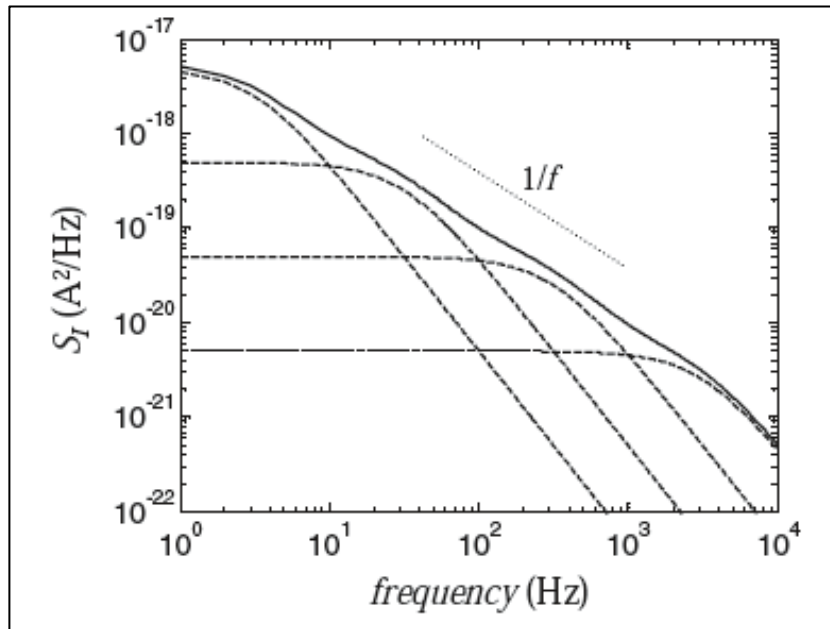


Gráfico 6-1: Superposición de 4 lorentzianos dando un espectro total con una dependencia de $1/f$ durante varias décadas de frecuencia.

Fuente: (Haartman y Östling, 2007, p. 15).

El ruido flicker es también conocido como ruido de exceso, de contacto, ruido rosa o ruido de parpadeo y generalmente se cuantifica en un rango de 0.1 mHz y 10 Hz. (Motchenbacher y Connelly, 1993, p. 25; Uscátegui, 2000).

En este estudio se considera a profundidad el ruido $1/f$ en dispositivos electrónicos debido a que éste está relacionado con defectos en los canales conductivos de dichos dispositivos, que se hacen más evidentes al estar sometidos a estrés térmico y eléctrico. Varios estudios verifican lo anterior, por ejemplo, en (Marinov, 2000) se desarrolló un modelo para describir el aumento del ruido de baja frecuencia en función del cambio de otros parámetros (exceptuando el voltaje de umbral) del transistor durante el estrés, siendo el más sensible el espectro de ruido demostrando que existe una fuerte relación entre el cambio relativo de estos parámetros y el aumento relativo de la densidad de ruido.

En (Chen et al., 2001) se investigó el efecto del estrés a alta corriente y temperatura sobre el ruido, concluyendo que las mediciones del ruido $1/f$ a bajas corrientes de polarización son sensibles a la degradación de la región activa en diodos láser, mientras que las mediciones del ruido $1/f$ a altas corrientes de polarización pueden predecir fallas relacionadas con la calidad de las capas de cristal de los diodos láser. Además, en (Kayis et al., 2011) se realizaron mediciones de ruido de baja frecuencia en transistores de efecto de campo de estructura heterogénea (HFET) para investigar los efectos del estrés eléctrico. Los resultados indican que la generación de trampas aumenta debido al estrés eléctrico en dispositivos con barrera InAlN, mientras que la potencia de ruido disminuye en función del estrés en los HFET AlGaIn / GaN debido a un aumento en la energía de activación de las trampas en exceso.

1.4 Modelos de Ruido en Baja Frecuencia

Los modelos de Ruido de baja frecuencia surgieron a partir del descubrimiento de ruido de baja frecuencia realizado por Johnson. Herzog y Van Der Ziel, quienes establecieron un modelo para la dependencia $1/f$ en el germanio. El modelo planteado permitió determinar que el ruido se atribuye a la excitación y captura aleatorias de los portadores de carga libres. Durante su permanencia en la banda de conducción o banda de valencia, los portadores dan lugar a una pequeña fluctuación en la corriente. Posteriormente, McWhorter desarrolló un modelado más sofisticado en el cual el ruido se atribuyó a la captura y liberación de los estados de la superficie. El modelo de McWhorter es ahora una base de varios modelos, entre éstos los de Hooge, Voss y Clarke y Handel. No obstante, estos modelos pueden no ser los mejores en describir el proceso de generación de ruido $1/f$ en general y sólo podrían aplicarse en una situación muy específica (Wong, 2003).

1.4.1 Ecuación Fenomenológica de Hooge

Hooge llevó a cabo una serie de experimentos en películas de metal y descubrió que el ruido en los conductores de películas de metal puede caracterizarse por la ecuación 5-1, donde $\alpha \approx 2 \times 10^{-3}$ es una dimensión constante y N_C es el número de portadores de carga en el conductor (Hooge et al., 1981).

Ecuación 5-1: Ecuación establecida por Hooge.

$$\frac{S_V(f)}{V^2} = \frac{\alpha_H}{N_C f}$$

De esta forma Hooge estableció una ecuación universal independiente de la temperatura, material y geometría del dispositivo. Sin embargo, esta ecuación se modificó ya que era muy restrictiva. Al descubrirse que el ruido depende en gran medida del estado de la superficie del semiconductor, se modificó para correlacionar más experimentos y diversos materiales. La ecuación 6-1 es una versión modificada de la ecuación de Hooge, donde μ es la movilidad total y μ_{ph} es la movilidad del electrón debido a la dispersión de fonones electrónicos. A este nuevo modelo se lo conoce como “*Modelo de fluctuaciones de movilidad electrónica de Hooge*”

Ecuación 6-1: Ecuación modificada de Hooge.

$$\frac{S_V(f)}{V^2} = \frac{\mu}{\mu_{ph}} \frac{\alpha_H}{N_C f}$$

Sin embargo, es poco probable que exista una ecuación tan universal. Además, la pendiente espectral es directamente proporcional a $1/f$ para todas las frecuencias en la ecuación 6-1, lo cual no es realizable porque no es una función de frecuencia real y uniforme. En otras palabras, el ruido es un proceso no estacionario, lo que contradice los experimentos. Mientras tanto, la potencia de ruido será infinita a menos que exista una bajada a baja frecuencia. Por lo tanto, la relación de Hooge es una aproximación de algún mecanismo físico real en algunas frecuencias, temperaturas y materiales.

1.4.2 Modelo de fluctuaciones numéricas de McWhorter

El modelo de McWhorter (McWhorter, 1957, p. 207) es la base más aceptada de ruido $1/f$ en MOSFETs. El modelo de McWhorter considera la fluctuación del número de portadores debido a la captura de portadores de carga en trampas ubicadas a una distancia de la interfaz semiconductor-óxido como la fuente de ruido. En otras palabras, el ruido es un producido por defectos presentes en la superficie (interfaz semiconductor-oxido) del dispositivo. El espectro $1/f$ proviene de una superposición de espectro de ruido de disparo de tipo $\tau/[1 + \tau\omega^2]$, en un amplio rango de τ cuya función de distribución es proporcional a $1/\tau$. En la versión original del modelo de McWhorter, la distribución de $1/\tau$ de τ se atribuye a una distribución de trampas no uniforme, conocido como efecto no lineal o barrera de superficie en la interfaz semiconductor-óxido, que tiene varias modificaciones en las aplicaciones de dispositivos de efecto de campo.

El espectro de ruido se puede aproximar con las ecuaciones 7-1 y 8-1, donde τ_1 y τ_2 son constantes de tiempo gobernadas por las distancias de túnel más pequeña y más grande, respectivamente.

Ecuación 7-1: Aproximaciones de McWhorter.

$$S(\omega) \propto [\tan^{-1} \omega\tau_2 - \tan^{-1} \omega\tau_1]/\omega$$

Ecuación 8-1: Aproximaciones de McWhorter.

$$S(\omega) \propto \begin{cases} \text{cte.}, & \text{para } \omega \ll 1/\tau_1 \\ 1/\omega, & \text{para } 1/\tau_1 < \omega < 1/\tau_2 \\ \omega^{-2}, & \text{para } \omega \gg 1/\tau_2 \end{cases}$$

El modelo de McWhorter tiene un espectro de ruido diferente al modelo de Hooge como se muestra en el Gráfico 7-1. A una frecuencia extremadamente baja, el nivel de ruido es igual a una constante y ya no depende de la frecuencia. En otras palabras, no tiene los problemas encontrados en la relación de Hooge, como no estacionario.

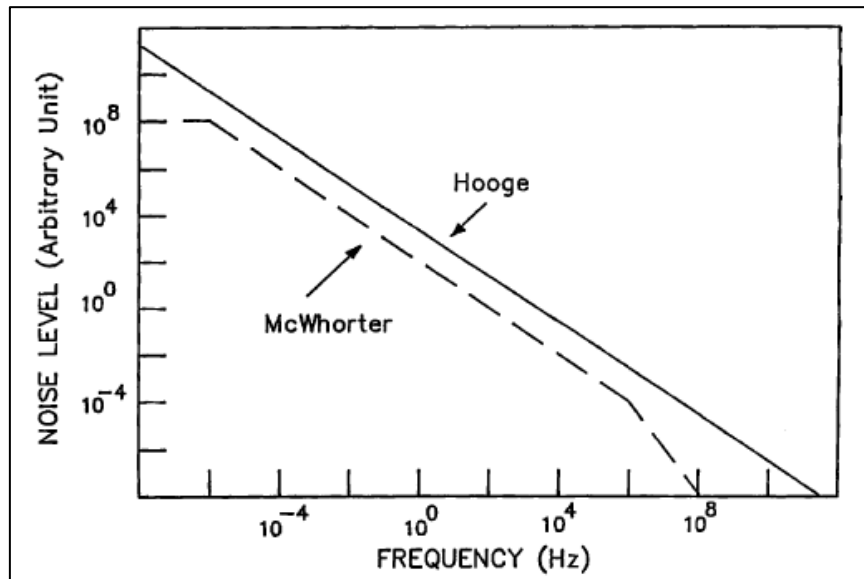


Gráfico 7-1: Diferencia de espectros de frecuencia de Hooge y McWhorter.

Fuente: (Wong, 2003)

1.4.3 Modelo de Fluctuaciones de temperatura de Voss y Clark

En el modelo de Voss y Clark, el voltaje y la resistencia térmica fluctúan debido a las fluctuaciones espontáneas de la entalpía (H). Este es representado por la ecuación 9-1 donde β y C_V son el coeficiente de resistencia a la temperatura y el calor específico del material, respectivamente.

Ecuación 9-1: Modelo de Voss y Clark.

$$\langle \Delta V^2 \rangle = V^2 \beta^2 k_B T^2 C_V^{-1}$$

Ecuación 10-1: Regiones de Frecuencia.

$$S_T(\omega) \propto \begin{cases} \omega^{-3/2}, & \text{para } \omega \gg \frac{D}{2l_3^2} \\ \omega^{-1/2}, & \text{para } \frac{D}{2l_3^2} \gg \omega \gg \frac{D}{2l_2^2} \\ (\text{ctte.} - \ln \omega), & \text{para } \frac{D}{2l_2^2} \gg \omega \gg \frac{D}{2l_1^2} \\ \text{ctte.}, & \text{para } \omega \gg \frac{D}{2l_1^2} \end{cases}$$

A medida que la cantidad de fluctuación pasa por la muestra, se puede calcular la temperatura local en x para un instante t dado con la ecuación de difusión de Langevin. Voss y Clark al resolver la ecuación de Langevin utilizando la ecuación de espectro de ruido para una muestra con dimensiones $l_1 \times l_2 \times l_3$ donde $l_1 \gg l_2 \gg l_3$, descubrieron que se pueden identificar cuatro regiones de frecuencia, mostradas en la ecuación 10-1. Las fluctuaciones de temperatura pueden ser dadas por la ecuación 11-1.

Ecuación 11-1: Fluctuaciones de temperatura Modelo Voss y Clark.

$$\frac{S_V(f)}{V^2} = \frac{\beta^2 k_B T^2}{C_V [3 + 2 \ln(l_1/l_2)] f}, \quad \text{para } \frac{D}{2l_2^2} \gg \omega \gg \frac{D}{2l_1^2}$$

El modelo de fluctuación de temperatura es aplicable en las uniones Josephson y las películas de estaño cerca de la transición superconductor. Sin embargo, no se puede aplicar a las películas de metal cuyo ruido presenta una fuerte dependencia a la temperatura. Además, el modelo de fluctuación de temperatura tampoco pudo predecir la región $1/f$, ya que no hay una caída del espectro $1/f$ en las frecuencias $\omega < \frac{D}{2l_1^2}$ (Wong, 2003).

1.4.4 Modelo de Mecánica Cuántica de Handel

El modelo de Handel divide la función de onda de electrones en una gran parte no perturbada y una pequeña parte perturbada por la emisión de Bremsstrahlung. Estas dos partes se golpean entre sí y dan como resultado un espectro de $1/f$, lo cual se representa con la ecuación 12-1, donde c es la velocidad de la luz, Δv el cambio vectorial en la velocidad a lo largo del camino del electrón, τ el tiempo de tránsito de electrones y α la estructura fina constante.

Ecuación 12-1: Modelo de Handel.

$$S_{If} = \frac{4\alpha}{3\pi} \frac{\Delta v^2}{c^2} \frac{qI}{f\tau}$$

La teoría de Handel tiene una densidad espectral que concuerda con la fórmula fenomenológica de Hooge en la dependencia de la frecuencia, por lo tanto, todavía tiene el problema encontrado en el modelo de Hooge. La magnitud del ruido también está en el mismo orden que el modelo de Hooge. Esto se debe a que el modelo de Handel es una teoría de temperatura cero para un haz de electrones que puede emitir fotones de baja energía. Sin embargo, la mayoría de los electrones en un metal no pueden emitir fotones de baja energía porque todos los estados cercanos están ocupados. Además, la teoría de Handel no considera la distribución de equilibrio de los portadores cargados de ninguna manera y, por lo tanto, la predicción de magnitud no puede ser relevante para experimentos en metales o semiconductores (Wong, 2003).

1.5 Técnicas de análisis de fallas en dispositivos semiconductores

Existe una gran cantidad de criterios para clasificar las técnicas de análisis de fallas, una de ellas es el soporte físico utilizado para obtener la información, que generalmente es la clasificación natural para las técnicas analíticas. Entre las técnicas basadas en el soporte físico están las técnicas de estrés eléctrico, estrés térmico, microscopía óptica, microscopía de sonda de barrido, técnicas microtermográficas, microscopía electrónica, técnicas de rayos X, técnicas espectroscópicas, técnicas acústicas, técnicas de láser, interferometría holográfica, microscopía de emisión, sonda atómica, radiografía de neutrones y mediciones del campo electromagnético (Bazu y Bajenescu, 2011). El análisis de fallas requiere mucha experiencia, especialmente con respecto a las condiciones en el circuito de alimentación en caso de falla, que deben considerarse cuidadosamente.

Las fallas térmicas en dispositivos semiconductores por exceso de temperatura de trabajo, temperaturas muy altas debidas a su propia disipación térmica, se convierte en el mecanismo dominante para la creación de portadores de cargas dentro del dispositivo. Por ejemplo, en (Lutz et al., 2011, p. 419-421) se señala que existe una temperatura mediante la cual se puede esperar el incremento en mecanismos críticos de dispositivos con coeficientes de temperatura positivos. Esta temperatura es conocida como T_{INT} . Si un dispositivo bipolar está en modo de conducción directa con sobretensión, se espera un T_{INT} hasta de 500 ° C. Cuando la generación térmica equivale a una densidad portadora en este rango, se convierte en el mecanismo dominante. Por lo tanto, en eventos de tiempo tan corto, pueden ocurrir temperaturas muy altas sin una falla en el dispositivo.

En el modo de bloqueo, la densidad viene dada por la corriente de fuga, que es baja para la mayoría de los dispositivos modernos, es decir la estabilidad térmica ahora se determina por la cantidad de la corriente de fuga. Si el calentamiento es causado por una corriente de fuga alta, la corriente de fuga aumentará aún más en regiones de alta temperatura. Estas regiones se pondrán más calientes, lo que nuevamente conduce a una mayor corriente de fuga. Tal comportamiento se denomina como una retroalimentación positiva. Este efecto se produce también si la temperatura alcanza el T_{INT} , aquí la generación térmica se convierte en el efecto dominante, y luego el aumento de temperatura actúa como una retroalimentación positiva. Si la alta densidad de pérdida de potencia no se puede extraer mediante el enfriamiento del dispositivo, el dispositivo se destruirá inevitablemente. Si las altas pérdidas son generadas por un alto voltaje por encima del voltaje de ruptura V_{BD} , que impulsa el dispositivo hacia la zona de avalanchas, se crean pérdidas y la temperatura aumenta. Sin embargo, con el aumento de la temperatura, el V_{BD} aumenta. La región, donde se produce el colapso de la avalancha, se moverá a las regiones del dispositivo donde la temperatura es más baja. Incluso si tales mecanismos eléctricos conducen a filamentos locales, el aumento de la temperatura libera el estrés local, lo que lleva a un efecto de retroalimentación negativa (Lutz et al., 2011, p. 419-421).

El sobrevoltaje es el voltaje por encima de la capacidad de bloqueo (tensión de ruptura en inversa). La capacidad de bloqueo de los dispositivos de alimentación está limitada por el voltaje de ruptura de avalanchas. La ruptura de avalancha ocurre por encima del voltaje nominal del dispositivo especificado por el fabricante.

La mayoría de los dispositivos de potencia pueden mantener algo de corriente en el modo de ruptura de avalancha. Sin embargo, la hoja de datos del fabricante excluye la operación del dispositivo en modo avalancha, si el dispositivo no está clasificado como avalancha. Varios MOSFET y diodos en el rango de hasta 1000 V tienen clasificación de avalancha. Esto permite la operación por breves lapsos de tiempo en el modo avalancha (Lutz et al., 2011, p. 426).

En conclusión, las fallas por exceso de temperatura se producen debido al estrés térmico y las fallas por sobrevoltaje son causadas por el estrés eléctrico. Estas se detallan en las siguientes secciones.

1.5.1 Estrés Eléctrico

La caracterización eléctrica es el primer paso en un análisis de fallas. Es necesario realizar mediciones de los parámetros eléctricos que sean significativos para el dispositivo. También es recomendado comparar los datos obtenidos con mediciones similares realizadas en otros estudios,

e inclusive con aquellos establecidos en las hojas técnicas entregadas por el fabricante. Los resultados obtenidos con esta técnica permiten la identificación de fallas en los dispositivos como conexiones abiertas, cortocircuitos, daños internos en los terminales de conexión, etc. Para los circuitos integrados, es posible determinar las áreas con defectos en la matriz, combinando las diferentes características, con la ayuda de pruebas térmicas y, de ser necesario, mecánicas. Al utilizar las curvas de corriente y voltaje a varias temperaturas, se puede obtener información relevante sobre la falla del dispositivo (Bazu y Bajenescu, 2011).

Para realizar pruebas con estrés eléctrico, es necesario determinar las condiciones de estrés aplicando diferentes valores iniciales de voltaje al dispositivo, es necesario considerar el aplicar un método de estrés constante de modo que se acelere la aparición de fallas. Esto último debido a que los dispositivos están diseñados para una vida útil larga (en promedio de 8 a 10 años) y sería impráctico realizar mediciones y pruebas de estrés durante años (Sezgin-Ugranlı y Özçelep, 2018).

La prueba de polarización de compuerta a alta temperatura (HTGB) está diseñada para aplicar estrés eléctrico a la compuerta de un dispositivo MOSFET, cuyo canal conductivo y compuerta están separados por un dieléctrico (generalmente oxido de silicio SiO). El objetivo es aplicar un voltaje DC de polarización a altas temperaturas y, mediante mediciones, detectar las variaciones de los parámetros eléctricos del dispositivo.

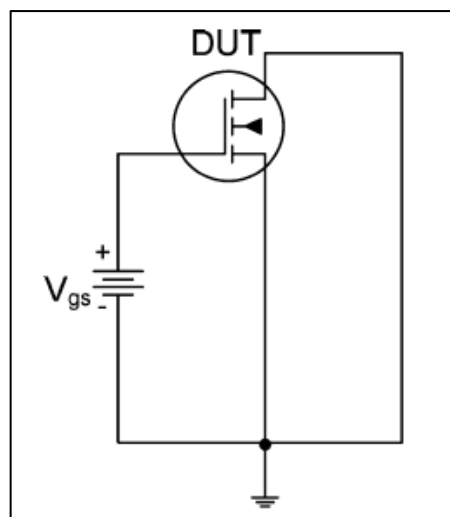


Figura 1-1: Esquema Prueba HTGB.

Fuente: (Yang y Castellazzi, 2013)

La prueba permite monitorear el voltaje de umbral (V_{th}) del dispositivo bajo prueba (Device Under Test, DUT) después de estresarlo eléctricamente con la aplicación de un voltaje compuerta-fuente prolongado, con el fin de conocer la influencia de la magnitud del voltaje de polarización aplicado en la magnitud y signo del cambio del voltaje de umbral del dispositivo bajo prueba.

Durante una prueba de HTGB sobre dispositivos MOSFETs, los DUTs se colocan en una cámara ambiental que proporciona una temperatura constante de 150° C para los dispositivos a base de Silicio Si y, a la vez se aplica una tensión de DC que polariza de compuerta a fuente con el drenador en cortocircuito a la fuente, como se observa en la Figura 1-1.

Los resultados obtenidos en estas pruebas, reportadas en literatura, indican que una tensión de polarización positiva provoca un cambio positivo en V_{TH} y una tensión de polarización negativa provoca un cambio negativo en V_{TH} . Este efecto puede explicarse por la entrada o salida de electrones en las “trampas”, formadas en el dieléctrico al momento de producción o debido al estrés HTGB, en respuesta al campo eléctrico producido por la tensión de polarización de la puerta. Es decir, una magnitud de tensión de polarización mayor da como resultado un cambio mayor en el voltaje de umbral. Esto se debe a que el esfuerzo de polarización de la puerta produce un campo eléctrico a través del dieléctrico de la puerta y la magnitud de la polarización de la puerta corresponde a la intensidad de los campos eléctricos. Por lo tanto, cuanto mayor es el sesgo, más eficaz es el proceso de tunelización de electrones, lo que lleva a un mayor desplazamiento de V_{TH} (Yang y Castellazzi, 2013).

1.5.2 Estrés Térmico

Los estudios de la técnica de estrés térmico se han realizado mediante un sistema de forzamiento de temperatura de precisión (Precision Temperature Force System, PTFS). El sistema es usado comúnmente para pruebas de componentes semiconductores en temperaturas extremas. Este sistema permite la medición de todos los parámetros eléctricos. El sistema está diseñado para realizar pruebas de ciclos térmicos (TCT) y pruebas de choque térmico (TST) (Belaïd et al., 2007). Para las pruebas TCT, el PTFS calienta o enfría el dispositivo bajo prueba DUT con una corriente de aire controlado por temperatura. Para esto el dispositivo bajo prueba generalmente se encuentra en un accesorio térmico que ayuda a mantener al dispositivo aislado del ambiente y a una temperatura deseada, generando estrés termo-mecánico debido al coeficiente de expansión térmica (CTE) de los materiales que componen el dispositivo. Por otro lado, para las pruebas TST se emplea bandejas de agua y perfluorocarbono según el rango de temperatura de interés.

Para las pruebas TCT el tiempo de transferencia entre temperaturas altas y bajas no debe ser mayor a 1 minuto, el tiempo de permanencia no debe ser menor de 10 minutos y el DUT debe alcanzar la temperatura especificada en 15 minutos. Para TST, el tiempo de transferencia no debe ser mayor a 10 segundos, el tiempo de permanencia no debe ser menor de 2 minutos y el DUT debe alcanzar la temperatura especificada en 5 minutos (Moreau et al., 2004). No obstante, a pesar de

después del estrés (Yang y Castellazzi, 2013). Otros estudios indican que incluso si la potencia disipada aumenta en el dispositivo debido la corriente de fuga I_{DSS} , la temperatura permanece bastante estable (Consentino et al., 2013).

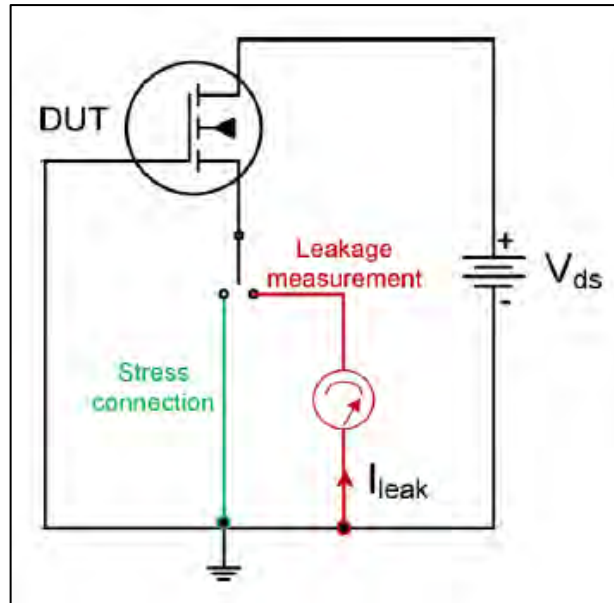


Figura 2-1: Esquema Prueba HTRB.

Fuente: (Yang y Castellazzi, 2013).

En conclusión, la prueba de polarización inversa de alta temperatura (HTRB) verifica la estabilidad a largo plazo de las corrientes de fuga del DUT. Durante la prueba HTRB, el DUT se estresa con un voltaje inverso igual o ligeramente menor al voltaje de bloqueo del dispositivo a una temperatura ambiente cercana al límite operativo. No se puede esperar degradación en el sustrato de silicio del DUT a estas temperaturas, pero la prueba puede revelar debilidades o efectos de degradación en las estructuras de agotamiento de campo en los bordes del dispositivo y en la pasivación (Lutz et al., 2011, p. 419).

1.6 Dispositivos Electrónicos de Potencia

Los dispositivos electrónicos de potencia son capaces de convertir la energía eléctrica de una forma en otra, actuando como interruptores en los circuitos electrónicos de potencia. Estos dispositivos han significado un importante avance tecnológico desde los inicios de los sistemas de conversión de energía, siendo una tecnología clave, puesto que la electrónica de potencia es considerada la tecnología de conversión de energía eléctrica más avanzada que alcanza alta flexibilidad y eficiencia (Lutz et al., 2011, p. 1). Las aplicaciones de los dispositivos electrónicos de potencia comprenden una extensa gama, que incluyen sistemas de conversión de alta potencia, sistemas de transmisión de corriente continua y otras como aparatos de uso cotidiano (Hart, 2001).

Se puede clasificar a los dispositivos electrónicos de potencia en dispositivos pasivos y activos. Los dispositivos pasivos comprenden resistores, capacitores e inductores, mientras que los dispositivos activos abarcan diodos, transistores, tiristores, transistores de efecto de campo y amplificadores (Howard, 2003).

1.6.1 MOSFETs

El transistor de efecto de campo (FET) es una clase de transistor en el cual los electrones fluyen desde una fuente a un drenador controlado por la aplicación de un voltaje de compuerta. Los FET se clasifican en JFET, MOSFET y MESFET (Vasilescu, 2005, p. 202). Para este caso se estudiará los dispositivos MOS que son estructuras verticales formadas por la unión de un semiconductor con óxido y metal. Los MOSFETs de potencia difieren de cualquier MOSFET por la capacidad de manejo de corrientes situadas en un rango de amperios y voltajes de bloqueo drenador a fuente de 50 a más de 100 voltios. Debido a que la señal de control es aplicada a la compuerta del dispositivo, y considerando que este posee una impedancia muy grande, la corriente de compuerta es pequeña, lo cual permite el manejo de corrientes grandes con corrientes de control pequeñas (Neamen, 2012, p. 684).

Al hablar de la estructura de los MOSFETs de potencia, se puede considerar dos de las diferentes estructuras existentes y que se muestran en la Figura 3-1. La principal diferencia entre de las dos estructuras mostradas es la manera en la corriente fluye dentro del dispositivo, iniciando siempre en el terminal de fuente y terminando en el de drenaje. Los LDMOS, lateral difusión MOS, se utilizan para aplicaciones mayores a 10 voltios, en circuitos integrados de potencia y circuitos integrados monolíticos semiconductores de potencia. No obstante, estos presentan una desventaja al tener poca capacidad de manejo de corriente debido a que la misma fluye de manera superficial debido a que tanto fuente como drenaje están en la misma cara del dispositivo. Por otro lado, la estructura DMOS, doble difusión MOS, es una estructura no planar utilizada mayormente en aplicaciones de alta densidad de potencia, debido a sus características altamente logradas de gran impedancia de entrada, alta velocidad de conmutación y buena estabilidad al calor. Además, se caracterizan por tener un alto voltaje de bloqueo en el estado apagado y una alta capacidad de corriente en el estado encendido. La resistencia de encendido es uno de sus parámetros más importantes porque limita la corriente que puede conducir el dispositivo antes de que se dañe por el calor generado en el transistor, al ser el canal más corto y más ancho, esto también permite el manejo de corrientes altas y disipación de potencias mayores (Floyd, 2008, p. 400; Gupta y Saxena, 2017; Lutz et al., 2011, p. 287).

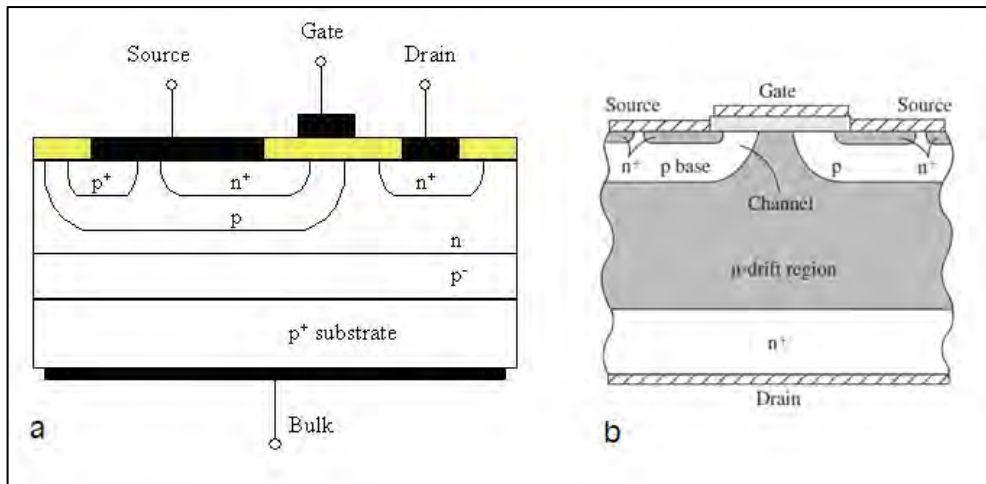


Figura 3-1: Estructura MOSFET. a) LDMOS. b) VMOS.

Fuente: (Neamen, 2012, p. 684).

La estructura vertical requiere un proceso distinto de fabricación. Para este caso, se realiza una difusión p-base o p- "sustrato" sobre toda la superficie seguida de la difusión fuente n+. Luego se cultiva un óxido de compuerta en la zona donde se forma el canal y se deposita el material metálico de la compuerta sobre el óxido. Se forma una capa de inversión de electrones en la base o sustrato, de modo que la corriente nuevamente es esencialmente una corriente vertical entre la fuente y el drenador. La región de deriva n con dopado relativamente bajo soporta el voltaje de drenaje ya que la región de agotamiento se extiende principalmente en esta región con dopado bajo (Neamen, 2012, p. 684).

Un segundo criterio de clasificación que se puede encontrar en los MOSFET es debido al portador de carga que genera la corriente. Con base en este criterio su clasificación es canal p y canal n, siendo huecos los portadores de carga que generan la corriente en el MOSFET p y electrones en el MOSFET n. En la Figura 4-1 se muestran los símbolos de los MOSFET canal n y canal p.

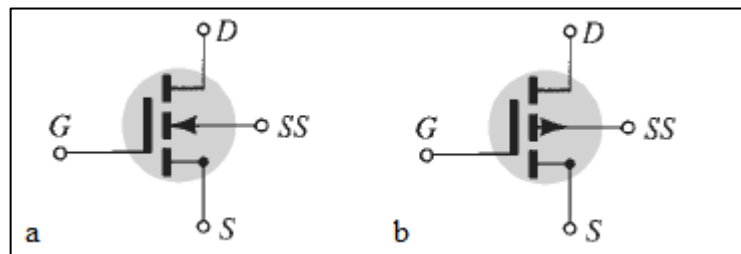


Figura 4-1: Símbolos MOSFETs a) Canal N, b) Canal P.

Fuente: (Malik, 2000, p. 293)

En el MOSFET de canal n, la fuente envía cargas positivas a la puerta. El terminal de fuente atrae los electrones de las regiones dopadas de tipo n a la región que se encuentra debajo del óxido,

creando una zona de conducción, llamado también canal, entre el drenador y la fuente (Malik, 2000, p. 292).

Las regiones antes mencionadas se pueden apreciar en la Figura 5-1, donde n^+ indica las regiones dopadas tipo n.

Debido que el drenador y la fuente tipo n se encuentran separados del sustrato tipo p por las regiones de depleción, los electrones que pretenden abandonar las regiones dopadas tipo n son repelidos y retrasados por los iones de los materiales tipo p y tipo n, es decir los electrones requerirán un esfuerzo significativo para cruzar el umbral que separa las regiones de electrones. Este esfuerzo se puede suministrar aplicando un voltaje V_{GS} entre el terminal de compuerta y fuente, lo cual modifica la carga del condensador que se forma entre la compuerta y el sustrato (Malik, 2000, p. 294).

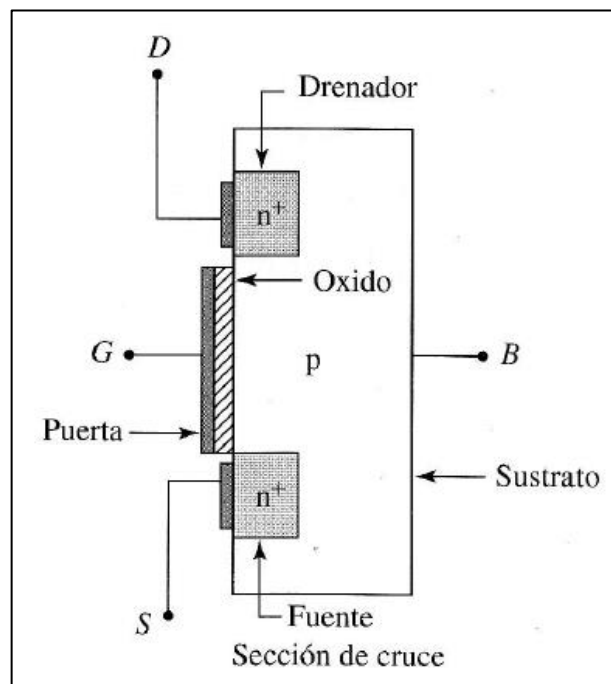


Figura 5-1: Estructura MOSFET canal N.

Fuente: (Malik, 2000, p. 293).

Al aplicar un voltaje V_{GS} es menor al voltaje de umbral el dispositivo se encontrará en región de corte, al ser el voltaje mayor que el voltaje de umbral este operará en la región óhmica, lo que permite su utilización como una resistencia controlada por voltaje, hasta alcanzar la saturación. Las características corriente voltaje de un MOSFET se presentan en el Gráfico 9-1. El dispositivo está en la región de corte mientras se suministre un voltaje positivo entre drenador y fuente V_{DS} y el voltaje V_{GS} sea menor que el voltaje de umbral V_T . El voltaje de bloqueo del MOSFET corresponde al voltaje de bloqueo del diodo que está formado por la región p, la región de base

ligeramente dopada baja y la capa n+. Para valores de $V_{GS} > V_T$, se forma un canal de transporte de corriente lo que da como resultado las características de corriente-voltaje dadas. Similar a la ganancia actual de los transistores bipolares, aquí se define una transconductancia. Para voltajes bajos V_{DS} , las características de corriente-voltaje tienen la forma de una línea recta. Para un V_{GS} definido, se indica la resistencia $R_{DS(on)}$ (activada). La transición entre la región óhmica y la región de estrangulamiento (pinch-off) se denomina cuasi saturación. Esta región se describe mediante una curva parabólica (Lutz et al., 2011, p. 288-292).

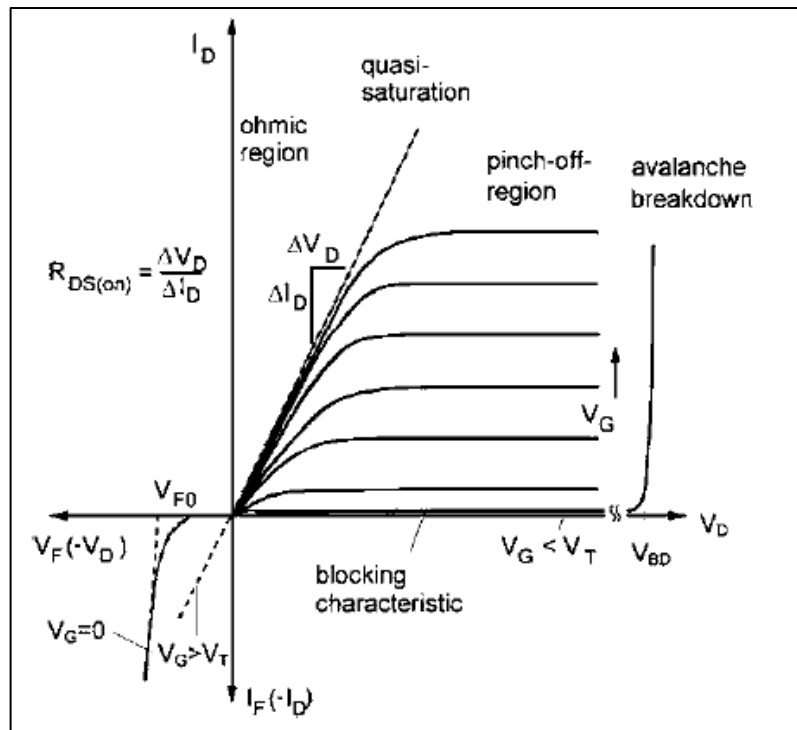


Gráfico 9-1: Características corriente voltaje MOSFET.

Fuente: (Lutz et al., 2011, p. 287)

El ruido que se genera en los transistores MOS se debe principalmente al ruido del canal, ruido $1/f$, y ruido G – R en la región de deplexión (Vasilescu, 2005, p. 213). El origen del ruido $1/f$ en los transistores MOS se ha debatido durante varias décadas, se cree que es debido a fluctuaciones en el número de portadores de carga debido a trampas en el óxido de compuerta o en el sustrato, o a fluctuaciones de movilidad de portadores de carga. La corriente de drenador en un MOSFET está confinada a un canal de superficie angosto debajo del óxido de la compuerta. Por lo tanto, el transporte de corriente es sensible a las trampas presentes en la interfaz. Se cree que las fluctuaciones del número de portadores son el mecanismo de ruido dominante $1/f$ en los MOSFET de canal n y comúnmente también en los de canal p (Haartman y Östling, 2007, p. 53-54).

1.7 Instrumentación para medición de ruido de baja frecuencia

La técnica de medición de ruido de baja frecuencia consiste en la detección de señales muy débiles, lo que hace necesario diseñar la instrumentación con una configuración para minimizar el ruido interno y evitar que las perturbaciones externas dañen la medición. Una de las maneras de conseguir esto es usar baterías como fuentes de alimentación para polarizar el circuito, así se pueden evitar las perturbaciones de las líneas de alimentación que se inyectan en el circuito. El blindaje es importante en la instrumentación para evitar perturbaciones inevitables del mundo exterior que interfieran con las mediciones. Aunque estas señales estén fuera del ancho de banda del amplificador y del rango de frecuencia de interés para las mediciones, las señales tienden a mezclarse y causar perturbaciones también a frecuencias más bajas.

En la Figura 6-1 se presenta una configuración típica de medición de ruido de baja frecuencia alimentada con baterías, que es utilizado para la caracterización del ruido en un MOSFET. El ruido débil del dispositivo es amplificado por un amplificador de bajo ruido y luego alimentado al analizador de espectro que mide la densidad espectral de potencia. La salida del amplificador también es monitoreada por un osciloscopio, lo cual es importante para detectar la presencia de ruido de señal de telégrafo aleatoria y asegurarse de que el amplificador no esté saturado (Haartman y Östling, 2007, p. 29).

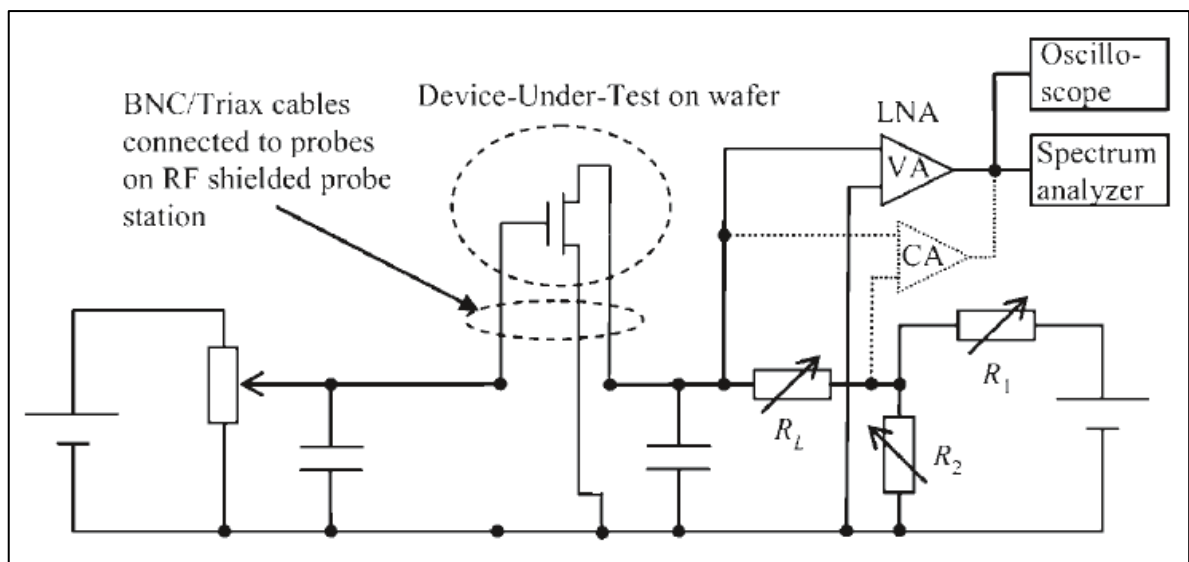


Figura 6-1: Configuración de medición de ruido de baja frecuencia.

Fuente: (Haartman y Östling, 2007, p. 29).

Dos tipos de amplificadores se utilizan con frecuencia en configuraciones de medición de ruido de baja frecuencia. La Figura 6-1 describe también una configuración con un amplificador de

voltaje de bajo ruido (denotado por VA), que amplifica el voltaje en su entrada de alta impedancia a la salida por un factor A. La configuración también se puede operar con una corriente de bajo ruido amplificador (denotado por CA), que amplifica la corriente a través de su entrada de baja impedancia y entrega un voltaje en la salida amplificada por la ganancia de transimpedancia G (Haartman y Östling, 2007, p. 29).

La Figura 7-1 es un ejemplo de una configuración típica de medición de baja frecuencia automatizada. Esta configuración tiene fuentes de voltaje programables y utiliza amplificadores operacionales estándar para la amplificación (Haartman y Östling, 2007, p. 30).

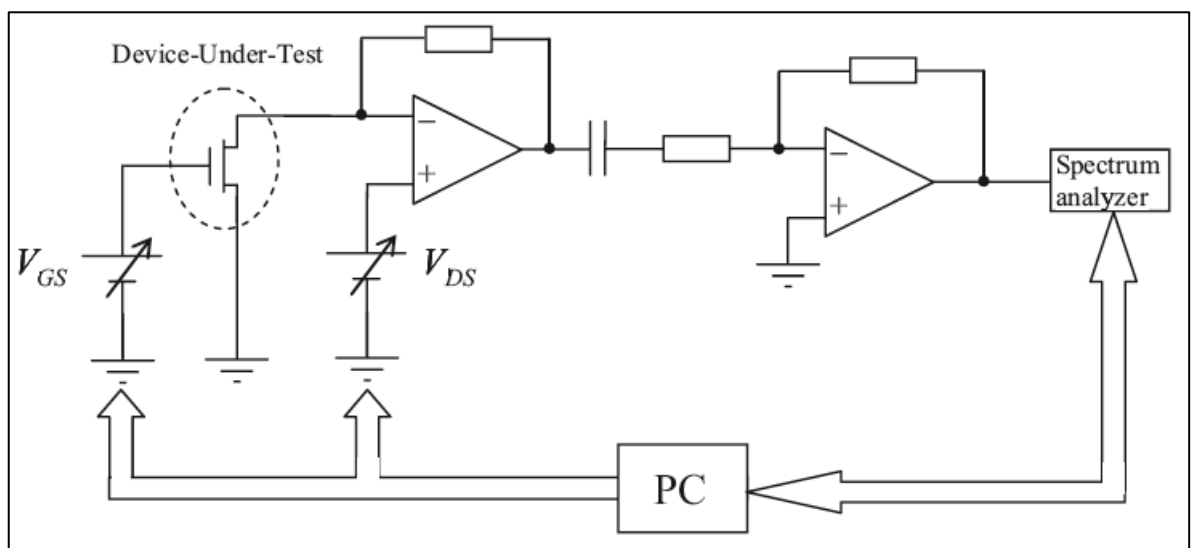


Figura 7-1: Configuración de medición de ruido de baja frecuencia.

Fuente: (Haartman y Östling, 2007, p. 30).

CAPÍTULO II

2. MARCO METODOLÓGICO

2.1 Introducción

Determinar la confiabilidad del DUT requiere que éste sea expuesto a condiciones que lleven al límite su operación para poder determinar los mecanismos de degradación que influyen en su confiabilidad a largo plazo. Estas condiciones, conocidas como estrés, pueden ser de tipo térmico y eléctrico, como suele expresarse en las hojas técnicas de datos de los dispositivos. Por tanto, es necesario recrear esas condiciones mediante pruebas estandarizadas para poder determinar los mecanismos de degradación.

Dado que los DUTs se fabrican para un tiempo de vida largo, las condiciones de estrés deben ser tales que permitan recrear condiciones extremas eléctricas y térmicas durante tiempos relativamente cortos (comparados con el tiempo de vida útil del DUT). Concretamente, los valores de temperatura y tensión para la aplicación del estrés térmico y eléctrico, respectivamente, deben ser el valor máximo establecido en la hoja de datos del DUT, e inclusive aún mayor de ser posible.

Para cumplir con estos requerimientos es necesario diseñar bancos de pruebas que permitan mantener las condiciones de estrés necesarias. Por tanto, se propone la metodología planteada en el diseño experimental de la Figura 1-2 donde se indican las etapas que permitirán cumplir con el objetivo de este estudio.

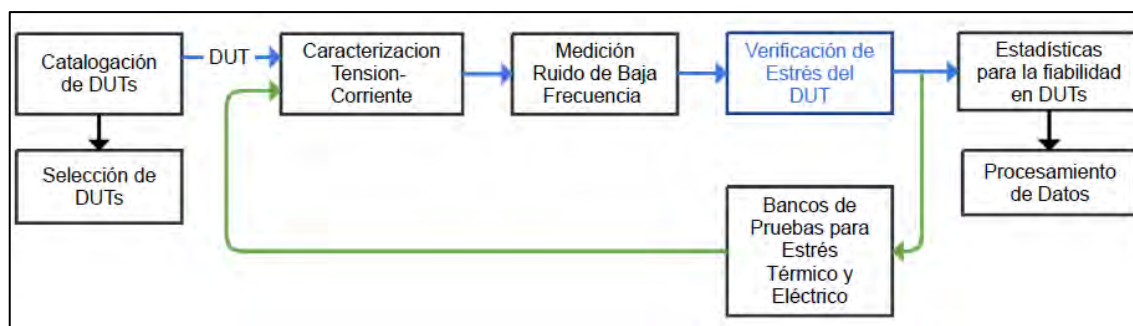


Figura 1-2: Diagrama de bloques de las etapas del diseño experimental planteado para el estudio del efecto del estrés térmico y eléctrico en dispositivos semiconductores de potencia.

Realizado por: Berrones Sofia, 2020.

La metodología diseñada para el estudio del efecto del estrés térmico y eléctrico en dispositivos semiconductores se compone de cinco etapas: Catalogación de DUTs, Caracterización Tensión – Corriente (I-V), Medición de ruido de baja frecuencia, Bancos de pruebas para el estrés térmico y eléctrico y la estadística para la fiabilidad en los DUTs. En la etapa de catalogación de DUTs se encuentra una subetapa que es la selección de DUTs. Después, está la caracterización I-V y la medición de ruido de baja frecuencia, las mismas que se aplican a todos los dispositivos seleccionados. En el bloque de Verificación de Estrés del DUT se comprueba si se ha aplicado o no estrés eléctrico y térmico al DUT, entonces se procede a la etapa de banco de pruebas para el estrés térmico y eléctrico. Después de aplicado el estrés, se repiten las etapas de caracterización I-V y medición de ruido de baja frecuencia. Cuando el DUT ya ha sido estresado y sus características eléctricas han sido medidas nuevamente, pasa a la etapa final donde se procesan los datos obtenidos.

2.2 Catalogación de Dispositivos Semiconductores

El estudio a realizar requiere la selección de los dispositivos semiconductores de potencia comercialmente disponibles en la ciudad de Riobamba. Para lo cual se investigó en las principales tiendas de componentes electrónicos de la ciudad todos los dispositivos MOSFETs de potencia disponibles a la fecha para su comercialización. Esto es necesario porque la aplicación de este trabajo de titulación pretende determinar la confiabilidad de estos dispositivos.

En la Tabla 1-2 se muestran todos los dispositivos MOSFETs disponibles comercialmente y sus características eléctricas.

Tabla 1-2: Catálogo de Dispositivos MOSFETs.

MOSFETs	Corriente de conducción continua	Voltaje de Drenador a Fuente	Local Comercial
IRF820	2.5 A	500 V	Comercial A y B
IRF240	18 A	200 V	Comercial A
IRF540	28 A	100 V	Comercial A, B y C
IRF740	10 A	400 V	Comercial B y C
IRF630	9 A	200 V	Comercial A y B
IRF150	38 A	100 V	Comercial A y C
IRF250	30 A	200 V	Comercial A y B
IRF530	14 A	100 V	Comercial A, B y C
IRFZ44	50 A	60 V	Comercial A y B

IRFZ20	15 A	50 V	Comercial A
IRF9240	-12 A	-200 V	Comercial A y B
IRF9540	-19 A	-100 V	Comercial A
IRF9630	-6.5 A	-200 V	Comercial A
IRF9150	-25 A	-100 V	Comercial A
IRF9530	-12 A	-100 V	Comercial A
IRFP054N	81 A	55V	Comercial C

Realizado por: Berrones Sofía, 2020.

2.2.1 Selección de Dispositivos Bajo Prueba

La selección de los dispositivos se realizó mediante un muestreo basado en 5 criterios establecidos por el autor. Los criterios toman en cuenta características de construcción y de funcionamiento de los dispositivos. Estos criterios se detallan a continuación:

- Estructura de Fabricación
- Tipo de Canal Conductivo
- Empaquetado
- Voltaje de Ruptura de Drenador a Fuente BV_{DSS}
- Máxima Corriente de Fuga en Reversa I_{DSS}

La estructura de fabricación del dispositivo es el primer criterio de selección, y para este caso de estudio se considerarán los dispositivos con tecnología tipo vertical. Dado que los dispositivos indicados en el catálogo de dispositivos, Tabla 1-2, son MOSFETs de potencia, la estructura de todos estos es de tipo vertical. El tipo de canal conductivo requerido es de tipo N, debido en parte a que la instrumentación para la medición de ruido de baja frecuencia es capaz de polarizar el dispositivo bajo prueba solo con tensiones positivas, y a que la mayor disponibilidad en el mercado es de los dispositivos de este tipo. En la Tabla 2-2 se evidencian los MOSFETs seleccionados al aplicar este criterio.

Tabla 2-2: Dispositivos MOSFETs de Canal n.

MOSFETs	Corriente de conducción continua	Voltaje de Drain a Source
IRF820	2.5 A	500 V
IRF240	18 A	200 V
IRF540	28 A	100 V
IRF740	10 A	400 V

IRF630	9 A	200 V
IRF150	38 A	100 V
IRF250	30 A	200 V
IRF530	14 A	100 V
IRFZ44	50 A	60 V
IRFZ20	15 A	50 V
IRFP054N	81 A	55V

Realizado por: Berrones Sofia, 2020.

Debido a las características de la instrumentación para la aplicación del estrés térmico, las mismas que requieren medidas específicas del empaquetado del DUT, el tercer criterio de selección es el empaquetado de los dispositivos. Aunque mayores detalles sobre la instrumentación se dará más adelante en la sección 2.4, por el momento se manifiesta que se ha tomado en cuenta el empaquetado TO-220. El empaquetado TO-220 une una superficie o pestaña con un disipador de calor de forma sencilla, en este caso la pestaña es de metal, la cual se encarga en ocasiones de disipar el calor (Davis, 2015). La figura 2-2 muestra las medidas del empaquetado TO-220.

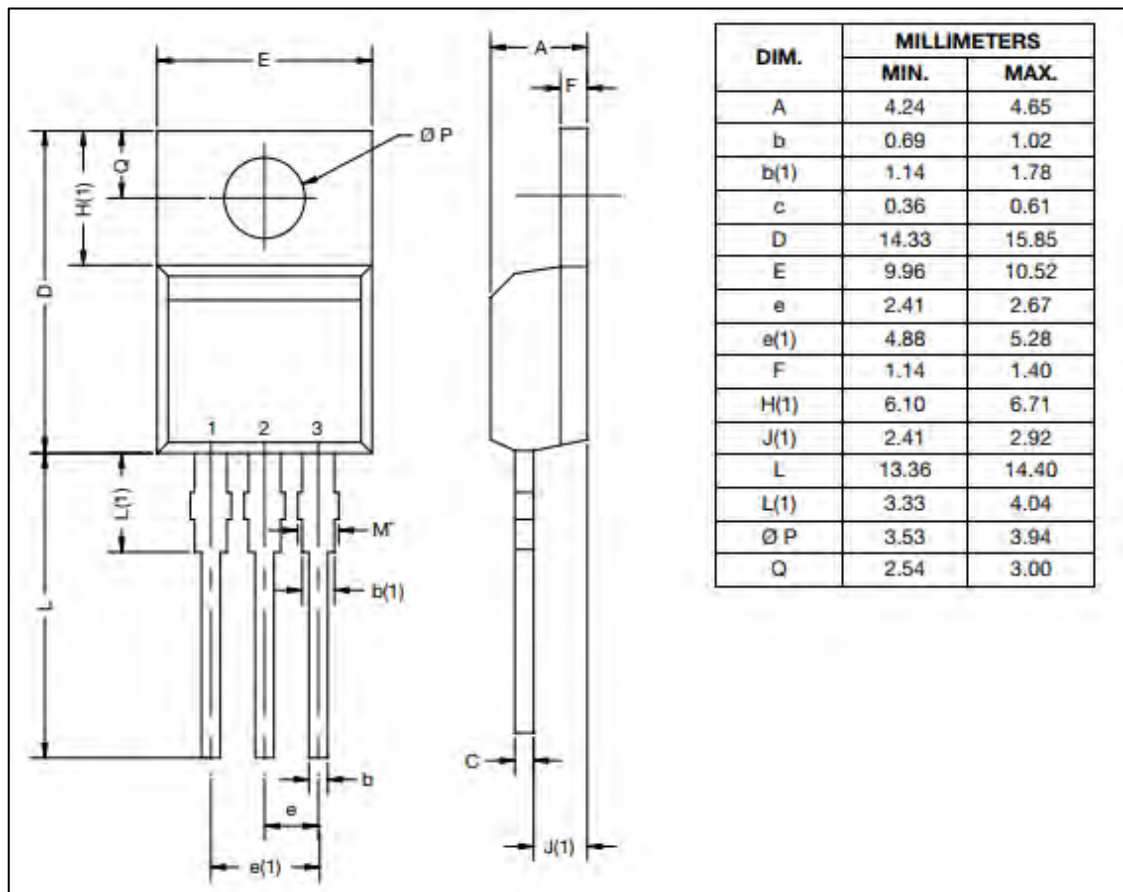


Figura 2-2: Empaquetado TO-220.

Fuente: (VISHAY, 2015).

Todos los dispositivos que se encuentran en la Tabla 2-2 poseen un empaquetado TO-220. El voltaje de drenador a fuente V_{DS} fue seleccionado considerando rangos variados desde 500 V, 400 V, 200V, 60V y 50 V, como se observa en la Tabla 3-2. Para aplicar un rango amplio de estrés eléctrico y obtener diversos resultados en las mediciones de ruido de baja frecuencia.

Tabla 3-2: Dispositivos MOSFETs: Alto, medio y bajo V_{DS} .

MOSFETs	Corriente de conducción continua	Voltaje de Drenador a Fuente
IRF820	2.5 A	500 V
IRF740	10 A	400 V
IRF630	9 A	200 V
IRFZ44	50 A	60 V
IRFZ20	15 A	50 V

Realizado por: Berrones Sofia, 2020.

2.3 Caracterización Tensión - Corriente

La caracterización tensión corriente (I-V) representa los modos de funcionamiento de un dispositivo (lineal, corte y saturación) y permite cuantificar los parámetros eléctricos significativos antes y después del estrés aplicado al DUT. Esta caracterización puede variar después de aplicar un nivel de estrés considerable debido al cambio de ciertos parámetros eléctricos en el dispositivo (Belaïd et al., 2007; Cho et al., 2013), por tanto, se debe realizar la caracterización I-V antes y después de aplicar el estrés.



Figura 3-2: Analizador de parámetros keithley 4200 SCS.

Realizado por: Berrones Sofia, 2020.

Para este estudio la caracterización I-V se realiza usando el analizador de parámetros («Keithley 4200A-SCS Parameter Analyzer | Tektronix», [sin fecha]) del Laboratorio de Microelectrónica de la Universidad San Francisco de Quito. La figura 3-2 muestra el equipo utilizado.

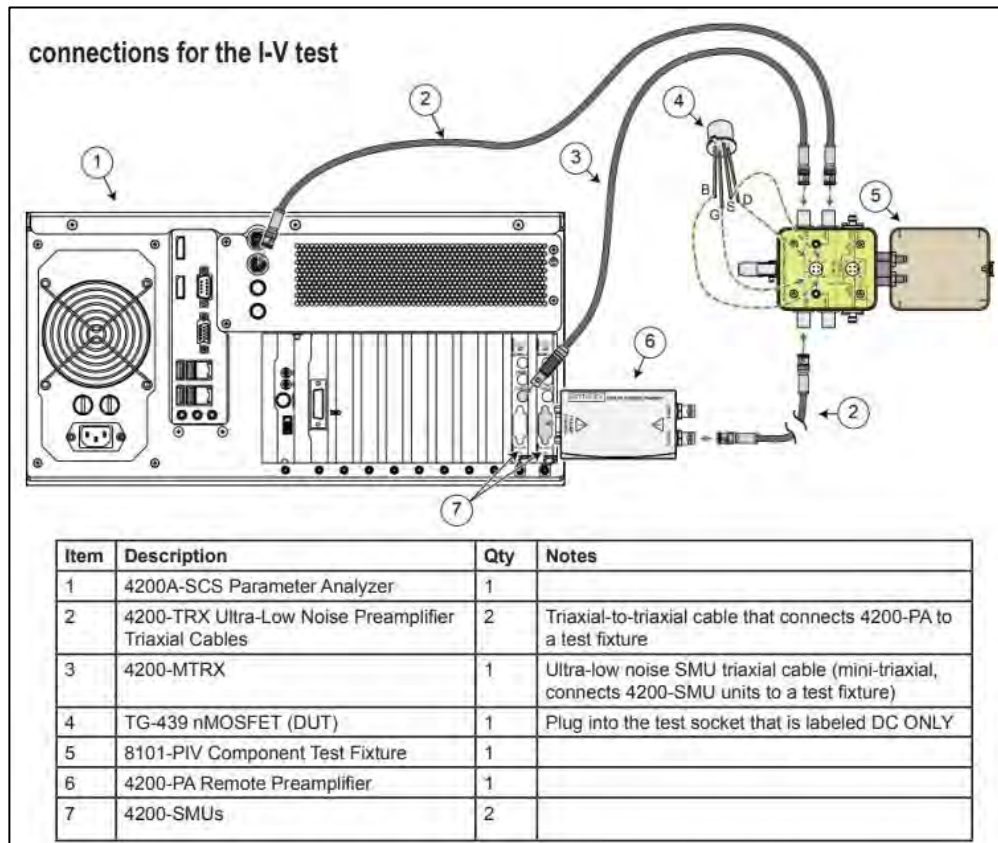


Figura 4-2: Conexión del DUT al analizador de parámetros keithley 4200 SCS.

Fuente: («Keithley 4200A-SCS Parameter Analyzer | Tektronix», [sin fecha]).



Figura 5-2: Caja metálica y DUT.

Realizado por: Berrones Sofia, 2020.

La figura 4-2 muestra el esquema de conexión del DUT al analizador de parámetros. Todas las conexiones son inmunes a interferencias externas y el DUT se ubica dentro de la caja metálica (señalada con el N° 5 en la figura 4-2 y mostrada en la figura 5-2) para mantener una temperatura constante durante la caracterización y para brindar cierto aislamiento eléctrico y blindaje electromagnético. Una vez conectado se inicia la caracterización a través de la interfaz gráfica del equipo.

2.4 Bancos de Pruebas para Estrés Térmico y Eléctrico

Los DUTS están fabricados para funcionar bajo ciertas condiciones de operación de forma óptima, es decir, están diseñados para trabajar en determinados rangos de temperatura, tensión y corriente. Para determinar el mecanismo de degradación que afecta al DUT se debe someter al dispositivo a las condiciones límites de operación, en este caso estrés térmico y eléctrico, para evidenciar el proceso de degradación sin la necesidad de evaluar al dispositivo durante toda su vida útil (Lutz et al., 2011, p. 383-385).

2.4.1 Técnica de Aplicación de Estrés Térmico y Eléctrico

Como se indicó en la sección 1.5 existen varias pruebas de estrés acelerado para verificar la fiabilidad de un dispositivo electrónico. La prueba seleccionada para este estudio es la HTRB. En el caso particular de este estudio, antes de aplicar la prueba HTRB se realizó una prueba de verificación eléctrica I-V a temperatura ambiente para determinar el voltaje máximo real de ruptura inversa BV_{DSS} a la cual los DUTs describen un corriente de fuga I_{DSS} comparable a 1mA. El valor de voltaje determinado en este paso es utilizado para fijar el límite máximo de sobre-estrés eléctrico que se puede aplicar considerando que, debido al corto tiempo disponible para la ejecución de este trabajo, se desea acelerar al máximo la degradación del DUT pero de manera controlada. Luego de la prueba de verificación eléctrica se procede a la aplicación del estrés térmico y eléctrico, es decir se aplica una tensión entre el 80% y 100% del valor BV_{DSS} real obtenido en la prueba de verificación eléctrica del DUT. Antes de aplicar la tensión, el DUT es sometido a la temperatura máxima soportada (establecido en la hoja de datos) de 150° C. Para cumplir con los requerimientos anteriormente descritos, se hace uso de ciertos instrumentos desarrollados específicamente para este tipo de pruebas y que se describen en las siguientes subsecciones.

2.4.1.1 Instrumentación para Aplicación de Estrés Térmico

La instrumentación utilizada para esta fase es la desarrollada y reportada en (Hernandez y Pace, 2016), la que se compone de un mini calentador basado en un transistor de efecto de campo de función simple agregado de STMicroelectronics (SAFeFET) para el proceso de calentamiento y la detección de temperatura. El dispositivo usado, STZ150NF55T, tiene como característica particular la integración de una serie de diodos de polisilicio que están aislados eléctricamente del MOSFET. El SAFeFET está soldado en la parte inferior de un soporte de metal de latón y el DUT se coloca en la parte superior, lo cual permite detectar variaciones rápidas de temperatura en el DUT, principalmente gracias a las pequeñas dimensiones del mini calentador, como se evidencia en la figura 6-2. Este sistema permite también una regulación fina de la temperatura de los DUT: de hecho, la instrumentación propuesta alcanza un error estimado de 1% a 175 ° C, mientras que el error máximo permitido durante HTRB es del 3% de la temperatura de prueba (Pace et al., 2017). Una imagen del mini calentador se muestra en la figura 7-2.

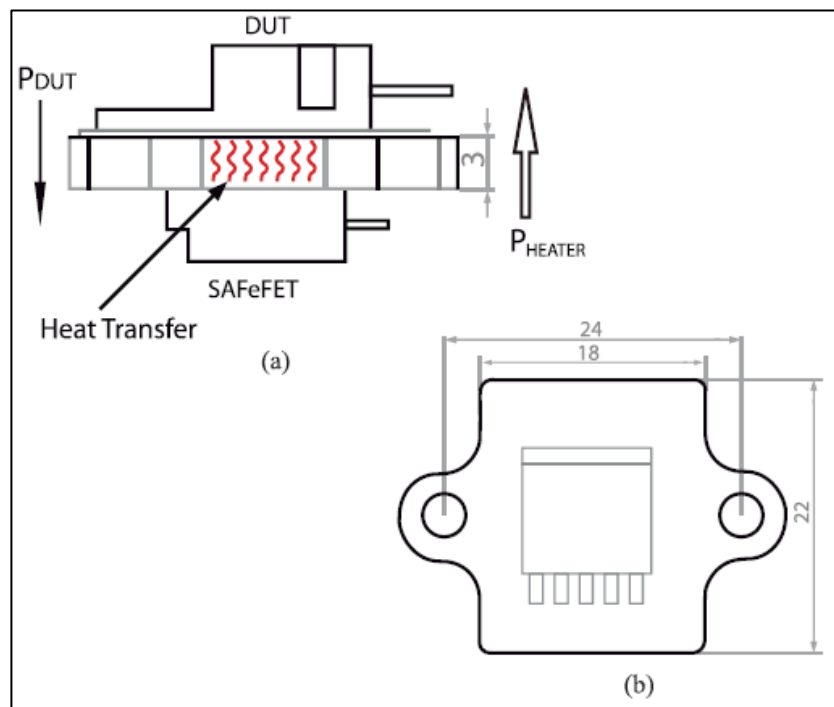


Figura 6-2: Detalles del mini calentador: (a) modo de transferencia de calor entre SAFeFET y DUT y (b) tamaño del soporte metálico en mm.

Fuente: (Pace et al., 2017).

El módulo de control térmico (TCM por sus siglas en inglés) se describe en el diagrama de bloques de la figura 8-2. El mini calentador está controlado por un microcontrolador de 8 bits (Atmel AVR Atmega16) que ejecuta dos algoritmos PID optimizados para la generación de dos señales PWM. La primera señal PWM se filtra y controla adecuadamente para obtener una

corriente continua para polarizar el diodo del sensor de temperatura. El microcontrolador mide el voltaje de caída directa del diodo sensor (V_{FD}) a través de su convertidor analógico digital de 10 bits, utilizando una referencia de voltaje externa de precisión. Luego, se genera una segunda señal PWM y se filtra para lograr un voltaje en corriente continua para regular el proceso de calentamiento de potencia (con el MOSFET STZ150NF55T trabajando en la región de lineal), cerrando el circuito de control (Pace et al., 2017; Pace et al., 2017).

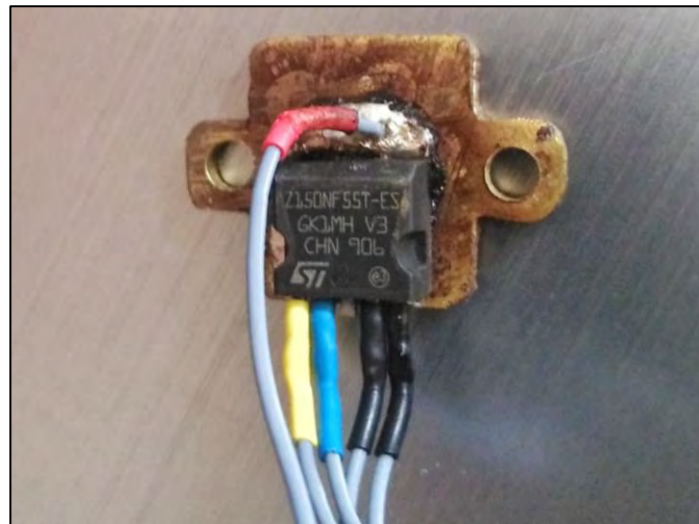


Figura 7-2: Instrumentación estrés térmico: Mini calentador.

Realizado por: Berrones Sofia, 2020.

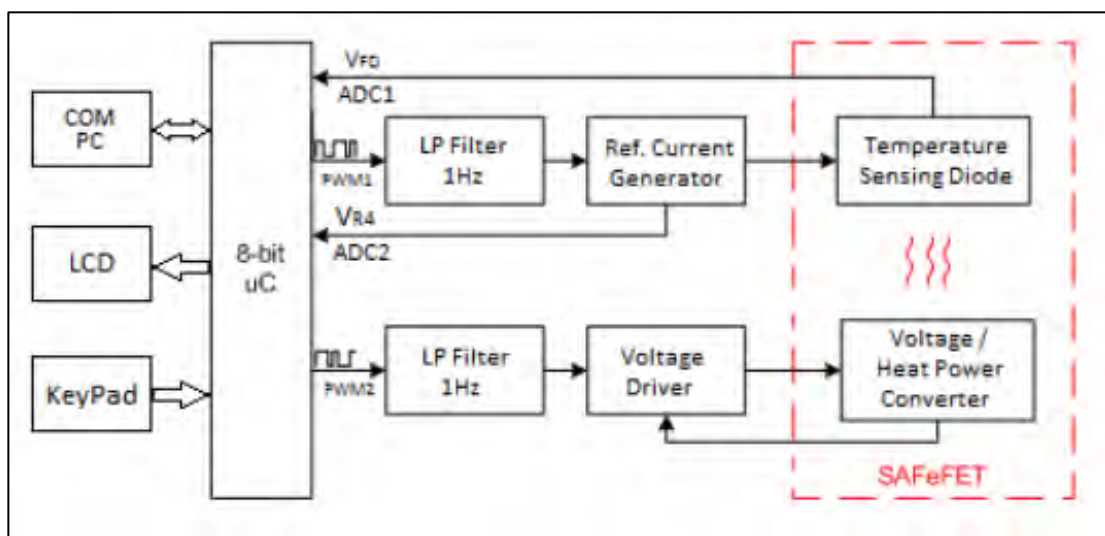


Figura 8-2: Diagrama de bloques del TCM.

Fuente: (Hernandez y Pace, 2016).

En la figura 9-2 se visualiza el módulo de control TCM en funcionamiento, establecido en un valor de referencia de 150° C (valor requerido de temperatura en las pruebas de estrés térmico), el TCM incrementará la temperatura hasta llegar a este valor y lo mantendrá constante.



Figura 9-2: Instrumentación estrés térmico: Módulo de control térmico (Hernandez y Pace, 2016).

Realizado por: Berrones Sofia, 2020.

2.4.1.2 Instrumentación para Aplicación de Estrés Eléctrico

La instrumentación para la aplicación del estrés eléctrico es una fuente de tensión variable hasta 1200V, la cual permite la medición de corriente y tensión en la salida durante toda la prueba. El diagrama de la instrumentación se muestra en la figura 10-2. La instrumentación posee protección contra sobre corriente y sobre tensión, siendo la protección contra sobre corriente ajustable por el usuario. El prototipo se basa en un convertidor conmutado de topología Flyback, controlado por una señal de modulación de ancho de pulso proveniente de un microcontrolador que se encarga de mantener estable la tensión de salida a través de un algoritmo de control en lazo cerrado. La señal de control es acondicionada para conmutar el devanado primario del transformador de alta frecuencia presente en el convertidor. De esta manera se logra elevar el voltaje DC en la entrada al voltaje de consigna, establecido por el usuario a través de la interfaz en el computador (Toro, 2020).

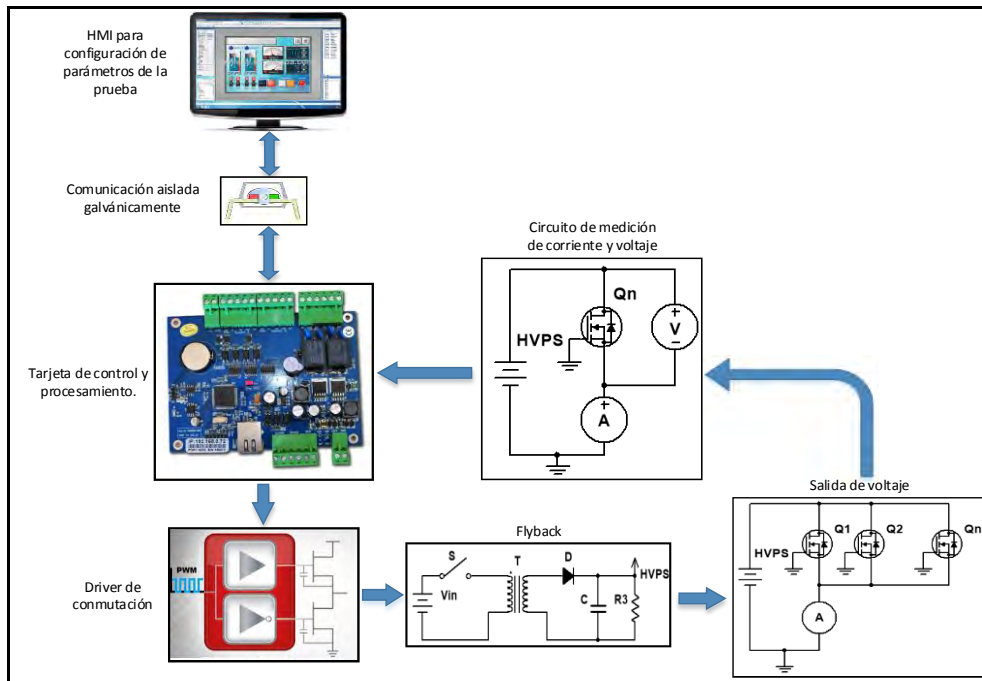


Figura 10-2: Diagrama de la instrumentación para aplicación de estrés eléctrico.

Fuente: (Toro, 2020).

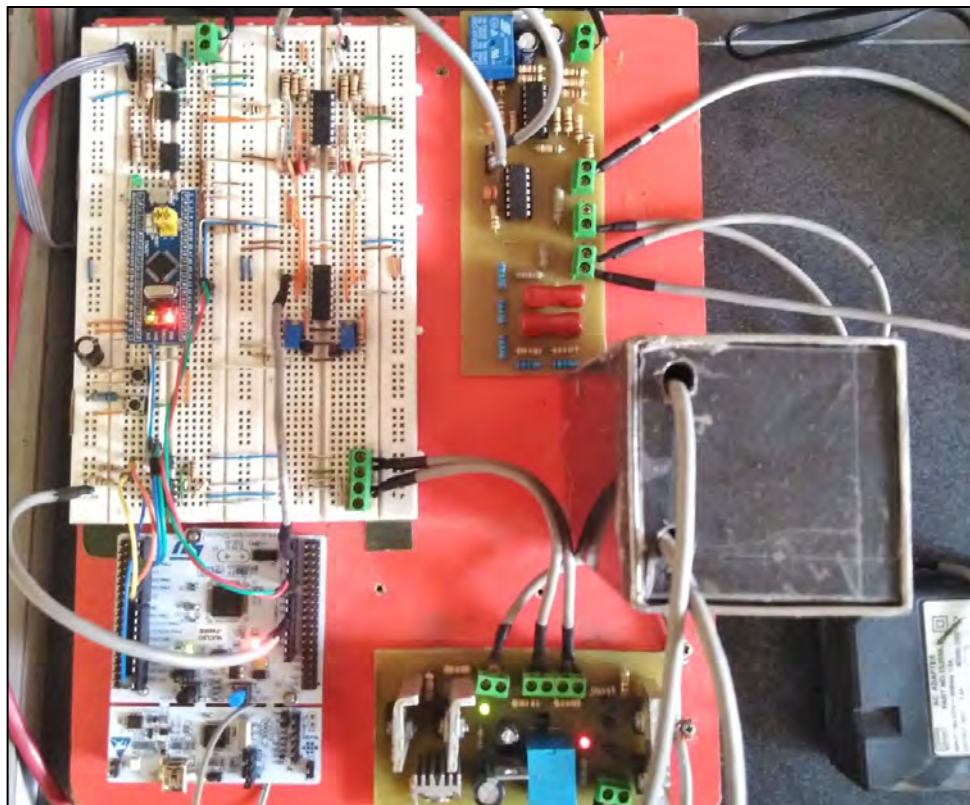


Figura 11-2: Instrumentación para la aplicación de estrés eléctrico (Toro, 2020).

Realizado por: Berrones Sofia, 2020.

Mediante una interfaz de computador desarrollada en Qt-Creator se puede configurar los parámetros de la prueba como se muestra en la figura 12-2. Los datos de voltaje y corriente

medidos en la salida son registrados por la tarjeta principal para enviarlos por un puerto serial aislado galvánicamente hacia el computador. Una imagen de la instrumentación se evidencia en la figura 11-2.

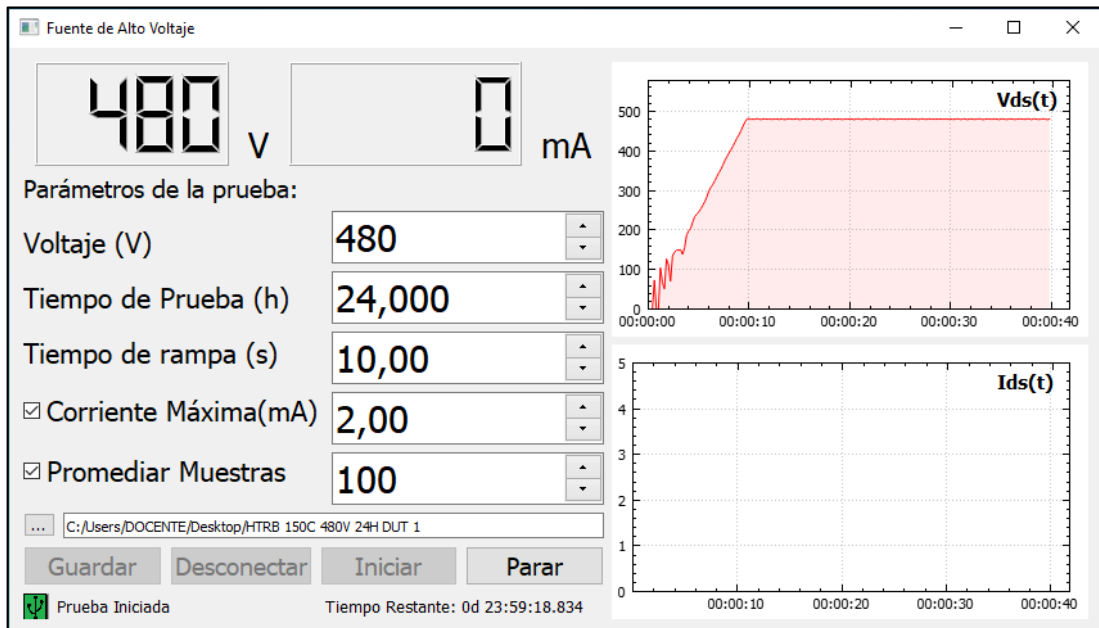


Figura 12-2: Instrumentación para la aplicación de estrés eléctrico (Toro, 2020).

Realizado por: Berrones Sofia, 2020.

2.5 Medición de Ruido de Baja Frecuencia

Generalmente se estudian los cambios en las características tensión - corriente en función al estrés aplicado para determinar procesos de degradación en los DUTs. Sin embargo, la caracterización I-V demuestra únicamente características promedio o macroscópicas del transporte de portadores de carga eléctrica y no son sensibles a mecanismos microscópicos que podrían indicar una ruptura inminente. Por otro lado, las LFNM son más recomendadas debido a su sensibilidad en la detección de defectos o trampas. Los espectros de ruido podrían revelar in situ dispositivos potencialmente malos, cuya vida útil se espera sea corta (Chen et al., 2001; Kasap y Capper, 2017, p. 473).

2.5.1 Técnica de Medición de Ruido de Baja Frecuencia

Antes y después de aplicar las pruebas de estrés térmico y eléctrico, se realizan las mediciones de ruido de baja frecuencia. La medición de ruido de baja frecuencia permite investigar más a fondo los efectos de los ciclos de estrés aplicados en los DUT que no presentan variaciones significativas de sus parámetros eléctricos. El procedimiento de medición consiste en aplicar un voltaje fijo de drenaje a fuente V_{DS} , mientras que el voltaje de puerta a fuente V_{GS} se ajusta hasta

que se alcanza una corriente de drenador I_D uniforme del DUT. Para este estudio, los voltajes V_{GS} , V_{DS} y la corriente I_D son tales que polarizan al DUT en la región de sub-umbral, es decir, que el dispositivo está en un estado de transición entre las regiones de corte y lineal, lo que se verifica con los valores de I_D . Después de la etapa de polarización el instrumento de medición de ruido de baja frecuencia adquiere las señales de ruido provenientes del DUT y las procesa para obtener la densidad espectral de potencia de corriente de ruido del DUT, lo que se detalla en la siguiente subsección.

2.5.1.1 Instrumentación para la Medición de Ruido de Baja Frecuencia

La caracterización de ruido de baja frecuencia se realiza usando la instrumentación desarrollada por (Barcia Macías, 2019), cuyo diagrama de bloques se muestra en la figura 13-2.

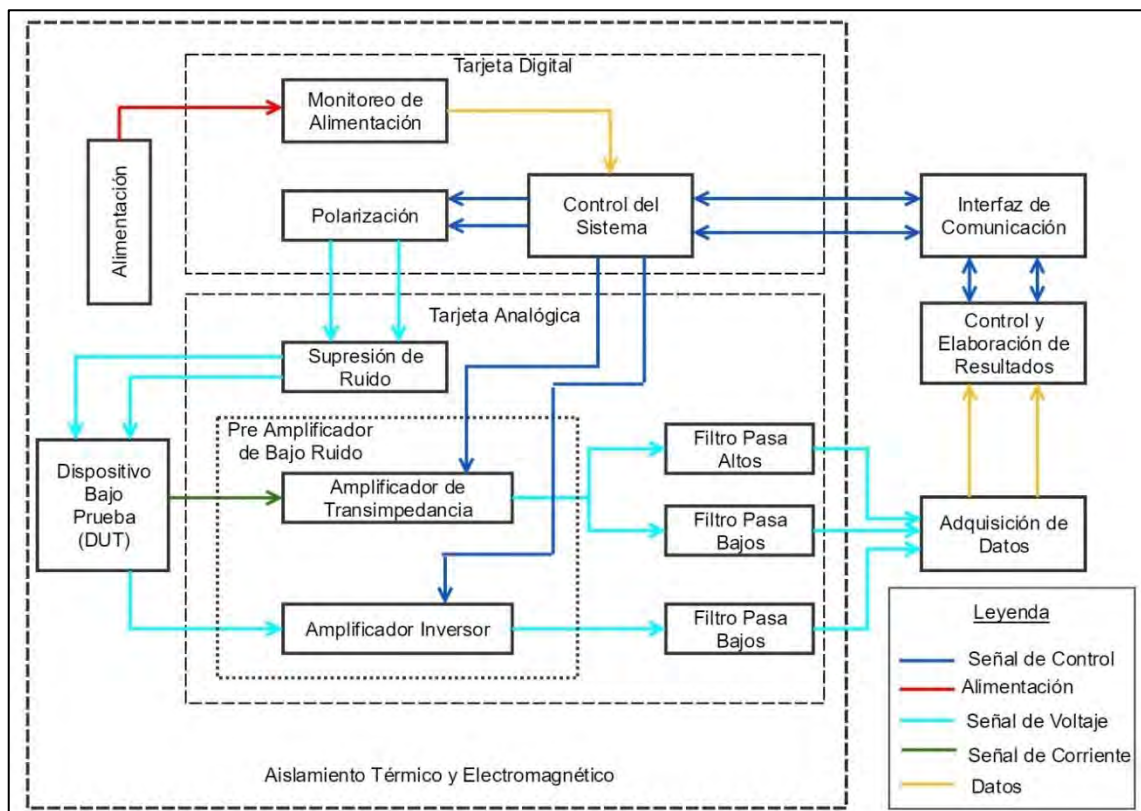


Figura 13-2: Diagrama de bloques del sistema de medición de ruido de baja frecuencia.

Fuente: (Barcia Macías, 2019).

La instrumentación usada para la medición de ruido de baja frecuencia en los DUTs está constituida por dos bloques principales: la tarjeta digital y la tarjeta analógica. La tarjeta analógica se encarga del acondicionamiento de las señales provenientes del DUT para que el subsistema de adquisición de datos pueda registrar las mismas. La corriente del DUT es convertida a una tensión mediante un amplificador de transimpedancia implementado con un

amplificador operacional de bajo ruido LT1792 de Linear Technology para luego ser registrada por el subsistema de adquisición de datos y procesada por la aplicación de control del instrumento (basada en LabVIEW, véase figura 14-2), que se encarga de obtener la densidad espectral de potencia de la señal adquirida, obteniendo como resultado una gráfica de la misma.

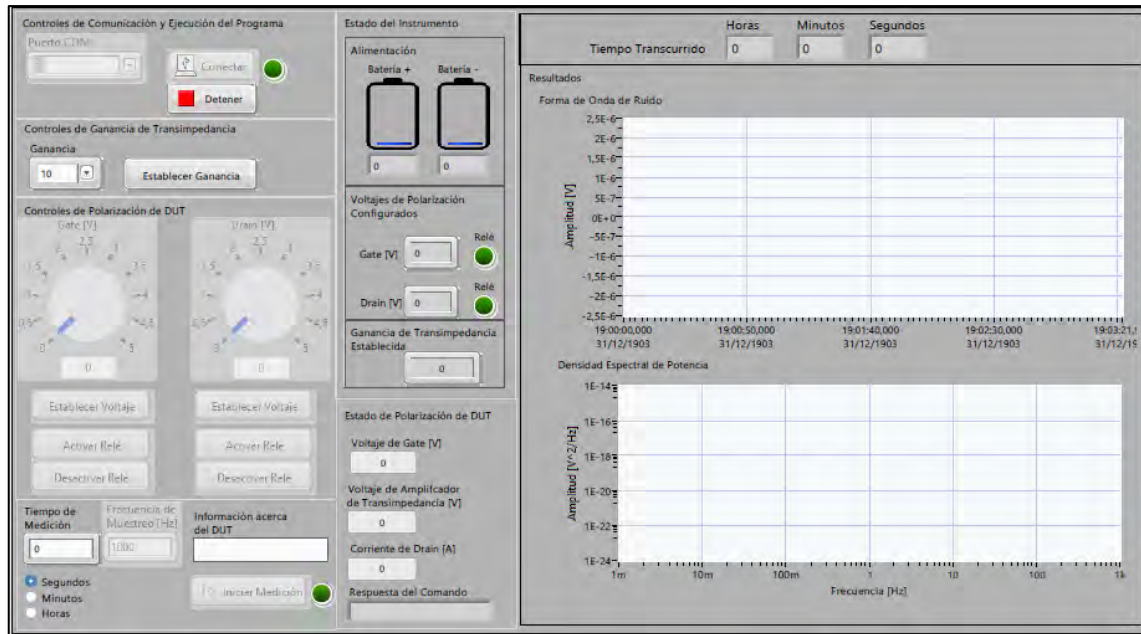


Figura 14-2: Instrumentación LFNM: Interfaz gráfica (Barcia Macías, 2019).

Realizado Por: Berrones Sofia, 2020.

Además de adquirir la señal de ruido producida por el DUT, el subsistema de adquisición de datos registra los voltajes VGS y la salida del amplificador de transimpedancia para obtener retroalimentación acerca del estado de polarización del DUT. Todas las señales adquiridas son registradas en hojas de cálculo para obtener un registro histórico.

La tarjeta digital se encarga de controlar la polarización del DUT, monitorear los niveles de tensión en las baterías, controlar la ganancia del amplificador de transimpedancia y de la comunicación con la aplicación de control del instrumento a través de la interfaz de comunicación (Barcia Macías, 2019). Las figuras 15-2 y 16-2 muestran las tarjeta digital y analógica y el subsistema de adquisición de datos.



Figura 15-2: Instrumentación LFNM: Tarjeta Analógica y Digital (Barcia Macías, 2019).

Realizado Por: Berrones Sofia, 2020.



Figura 16-2: Instrumentación LFNM: Adquisición de Datos (Barcia Macías, 2019).

Realizado Por: Berrones Sofia, 2020.

2.5.2 Densidad Espectral de Potencia

Debido a que el valor instantáneo de una corriente o tensión de ruido no puede ser determinado, resulta de mayor utilidad obtener información acerca de estos fenómenos desde el dominio de la frecuencia. En este caso, es posible usar la densidad espectral de potencia para caracterizar el ruido al ser éste un proceso de naturaleza estocástica (Howard, 2003).

Como se indicó en el capítulo I, la PSD muestra información de cómo se distribuye la potencia de la señal aleatoria en sus componentes de frecuencia. En el caso de los dispositivos electrónicos, a partir de la PSD puede deducirse los mecanismos de origen de todo el ruido electrónico. Un ejemplo de esto se muestra en el Gráfico 1-2, donde se indica una parte de la PSD que indica un proceso de ruido $1/f$ y una parte que indica un proceso de ruido térmico. La instrumentación de medición de ruido de baja frecuencia devuelve como resultado una gráfica parecida a el Gráfico 1-2.

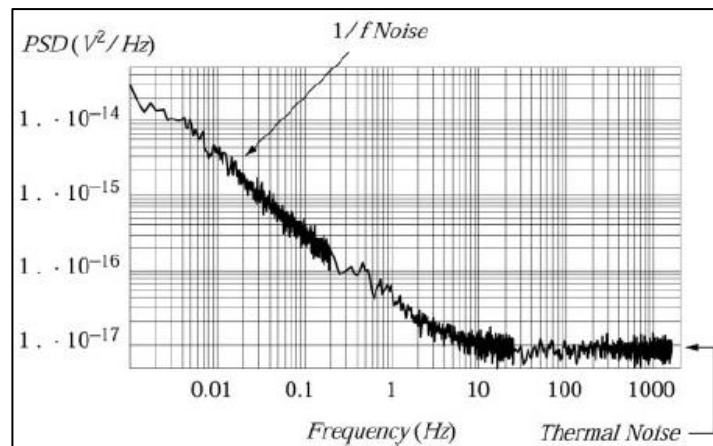


Gráfico 1-2: Densidad espectral de potencia del ruido de un amplificador referida a la entrada.

Fuente: (Howard, 2003)

Los resultados obtenidos por el instrumento de medición de ruido de baja frecuencia pueden relacionarse con defectos en los DUTs. Un ejemplo de esto se muestra en el Gráfico 2-2, donde se muestra la variación de los niveles de ruido $1/f$ después de aplicar un estrés constante de 3,5V por 55 minutos a un MOSFET. La degradación es revelada con el incremento del ruido $1/f$ en la PSD de la señal del MOSFET al incrementar el tiempo de estrés, concluyendo que el mecanismo específico que produce la degradación tiene que ver con fluctuaciones de movilidad debido a trampas existentes en el canal conductivo del dispositivo cercanas a la interfaz del óxido de silicio (Mukherjee y Maiti, 2014).

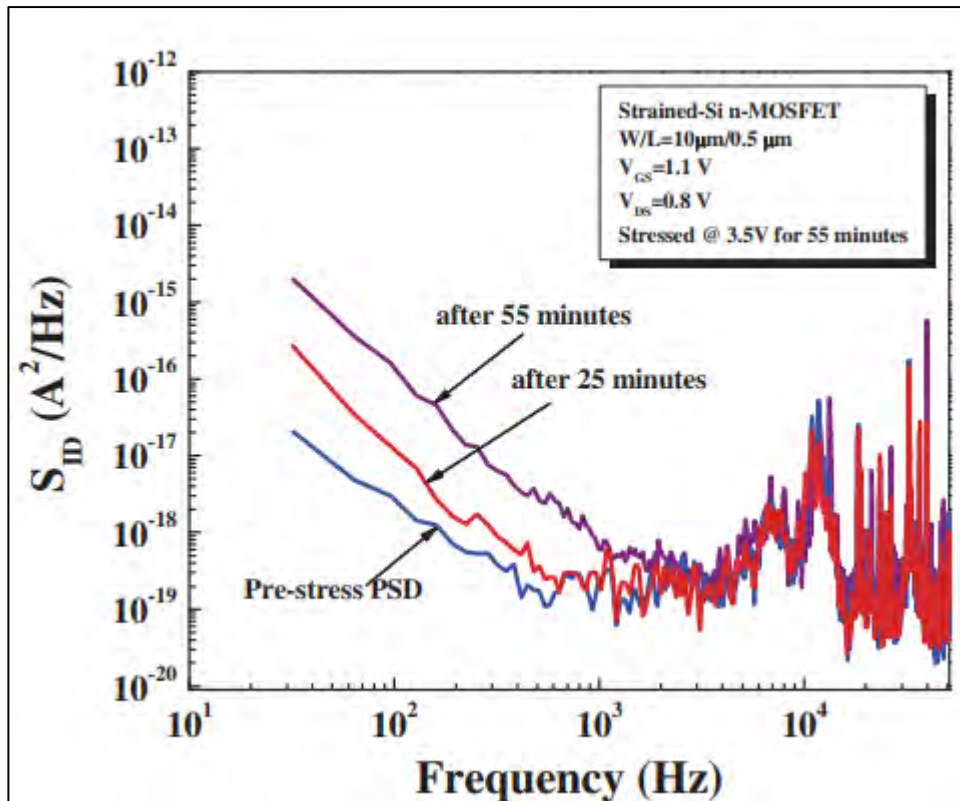


Gráfico 2-2: Densidad espectral de potencia de corriente de drenador para un n-MOSFET de Silicio bajo un estrés constante de 3.5V por 55 minutos.

Fuente: (Mukherjee y Maiti, 2014).

2.6 Estadísticas para la fiabilidad en dispositivos semiconductores

2.6.1 Modelo de Arrhenius

El modelo de Arrhenius (Pascoe, 2011, p. 13-16; Bayle y Mettas, 2010) hizo una contribución adicional a la nueva química y física al estudiar cómo las velocidades de reacción aumentaban con la temperatura. Sugirió la existencia de "una energía de activación", una cantidad de energía que se debe suministrar a las moléculas antes de que reaccionen. Este es un concepto que es esencial para la teoría de la catálisis (Arrhenius, 1889).

La relación, postulada por primera vez por Svante Arrhenius se basó en un estudio experimental de la inversión de sacarosa (azúcar de caña), en el que la dependencia de la temperatura del estado estacionario de dicha reacción química está representada por la ecuación 1-2:

Ecuación 1-2: Modelo de Arrhenius.

$$r = r_{ref} e^{-\frac{E_a}{kT}}$$

donde r es la velocidad de reacción (moles/m²s), r_{ref} es la velocidad de reacción a la temperatura de referencia (moles/m²s), E_a es la energía de activación de la reacción química (eV), k es la constante de Boltzmann (8.617×10^{-5} eV / K) y T es la temperatura de estado estable (Kelvin).

Pese a que, en su origen, dicha ecuación y modelo fueron enfocados en procesos de reacción química, una adaptación del modelo de Arrhenius puede ser aplicado en aplicaciones de prueba de vida acelerada de componentes semiconductores. Para esto, la ecuación 1-2 se modifica más comúnmente como aparece en la ecuación 2-2:

Ecuación 2-2: Modelo de Arrhenius para pruebas de vida acelerada en dispositivos semiconductores.

$$t_1 = t_2 e^{\frac{E_a}{k} \left(\frac{1}{T_1} - \frac{1}{T_2} \right)}$$

donde t_1 y t_2 son los tiempos para un nivel de falla acumulativo particular (%) a temperaturas de estado estacionario T_1 y T_2 , respectivamente. Los resultados de las pruebas de vida se trazan en papel cuadrículado logarítmico normal como se ilustra en el Gráfico 3-2.

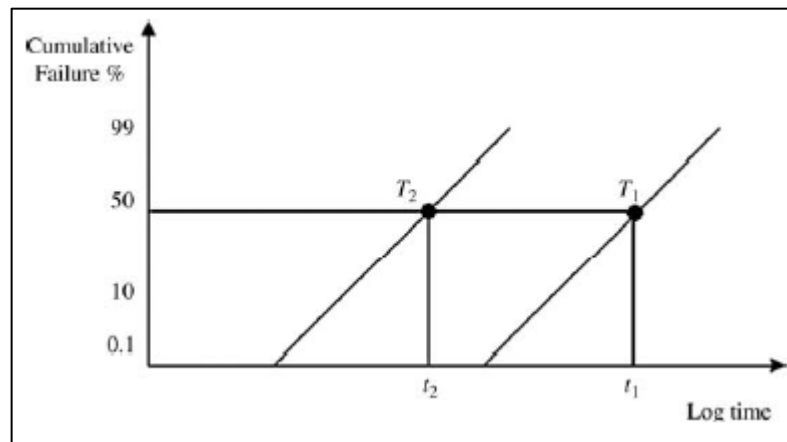


Gráfico 3-2: Pruebas de vida a dos temperaturas.

Fuente: (Pascoe, 2011, p. 15).

Si los resultados de la falla se grafican en papel cuadrículado logarítmico, y se obtienen dos líneas rectas paralelas, entonces se supone que la ecuación de Arrhenius es aplicable a esta prueba de vida particular. Las condiciones necesarias para cumplir con los criterios del modelo de Arrhenius son, por lo tanto, que se deben tomar dos muestras aleatorias de la misma población, todas con el mismo modo de falla dominante que se va a distribuir normalmente. Vale la pena señalar que un error de evaluación de energía de activación de 0.1 eV dará como resultado un error en el factor de aceleración de aproximadamente 2:1. Por ejemplo, una energía de activación de 0.9 eV para un modo de falla dominante particular puede equivaler a un factor de aceleración de 600, mientras

que una energía de activación de 1.0 eV para el mismo modo de falla dominante equivaldría a un factor de aceleración de 1250. Lall, et al. (Lall et al., 1997) tienen detalles tabulados de energías de activación para mecanismos de falla comunes. Estos se resumen en la Figura 17-2.

Failure mechanism	Activation energy (eV)
Die metallisation failure mechanisms	
Metal corrosion	0.3 to 0.81
Electromigration	0.35 to 2.56
Metallisation migration	1.0 to 2.3
Stress driven diffusion voiding	0.4 to 1.4
Device and device oxide failure mechanisms	
Ionic contamination (surface bulk)	0.6 to 1.4
Hot carrier	- 0.06
Slow trapping	1.3 to 1.4
Gate oxide breakdown	
ESD	0.3 to 0.4
TDDDB	0.3 to 2.1
EOS	2.0
Surface charge spreading	0.5 to 1.0
First-level interconnection failure mechanisms	
Au-Al intermetallic growth	0.5 to 2.0

Figura 17-2: Energías de Activación para mecanismos de falla comunes.

Fuente: (Pascoe, 2011, p. 16).

CAPÍTULO III

3. MARCO DE RESULTADOS

3.1 Introducción

En esta sección se describen los resultados obtenidos de la caracterización I-V, las mediciones de ruido de baja frecuencia realizadas, antes y después del estrés aplicado. Se describe la correlación de los niveles de ruido de baja frecuencia medidos en los dispositivos electrónicos con los niveles de degradación interna, mediante el modelo de Arrhenius (véase la sección 2.6.1) en cada dispositivo electrónico. Finalmente se detallan los costos implicados en este estudio.

3.2 Caracterización I-V previo a la aplicación del estrés

Para determinar los parámetros eléctricos significativos (voltaje de umbral), las condiciones normales del DUT y observar los cambios de éstos, se realizó la caracterización I-V (descrita en la sección 2.2) para los dispositivos seleccionados que se detallan en la sección 2.1.1. Los resultados de la caracterización y la obtención del voltaje de umbral utilizando el método de extrapolación en la región lineal (Ortiz Conde, 2002), se muestran en los Gráficos 1-3, 2-3, 3-3, 4-3, 5-3 y en la tabla 1-3.

Las condiciones de polarización bajo las cuales se realizó la caracterización I-V fueron: VDS igual a VGS; VGS inicial 0V, VGS final 4V, pasos de 10 mV; Compliance de Corriente de 100 mA. La temperatura ambiental fue de 22 °C. Estas condiciones fueron aplicadas para todos los DUTs.

Tabla 1-3: Caracterización I-V antes del estrés.

Dispositivo Bajo Prueba (DUT)	Voltaje de umbral antes [V]
IRF820	3,6513
IRF740	3,3303
IRF630	3,6210
IRFZ44	3,6866
IRFZ20	3,2875

Realizado por: Berrones Sofia, 2020.

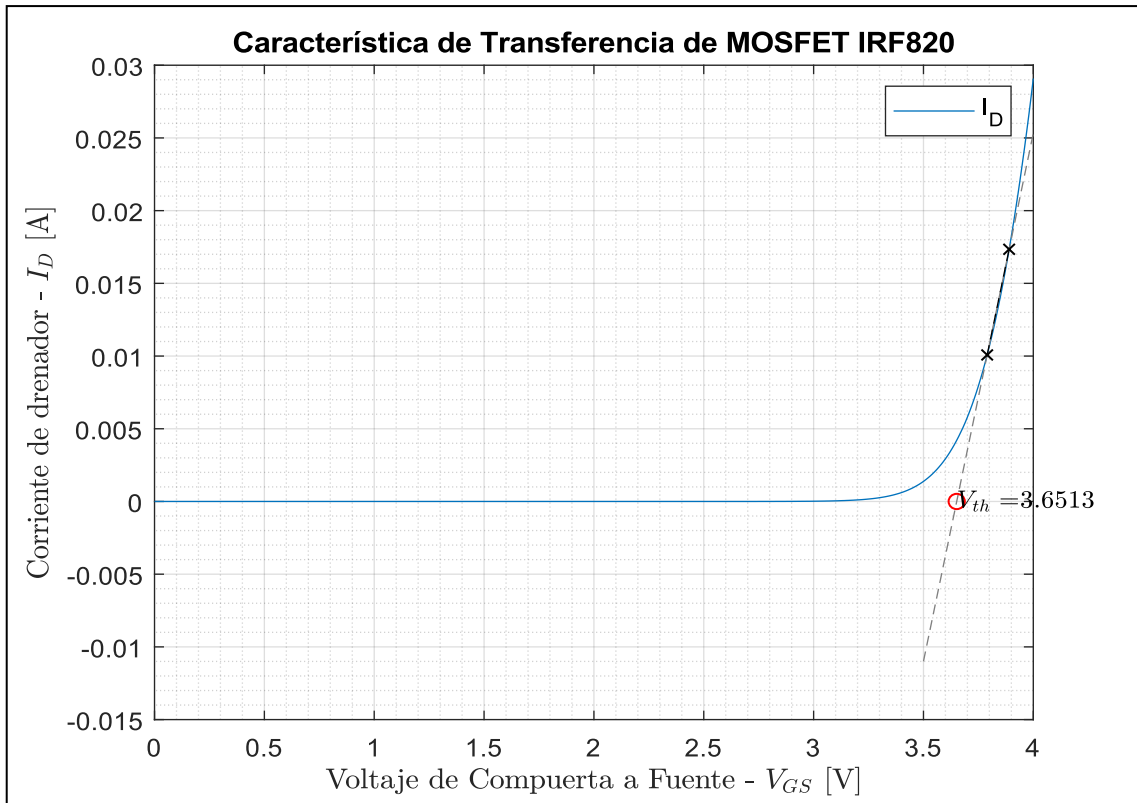


Gráfico 1-3: Caracterización I-V DUT IRF820.

Realizado por: Berrones Sofia, 2020.

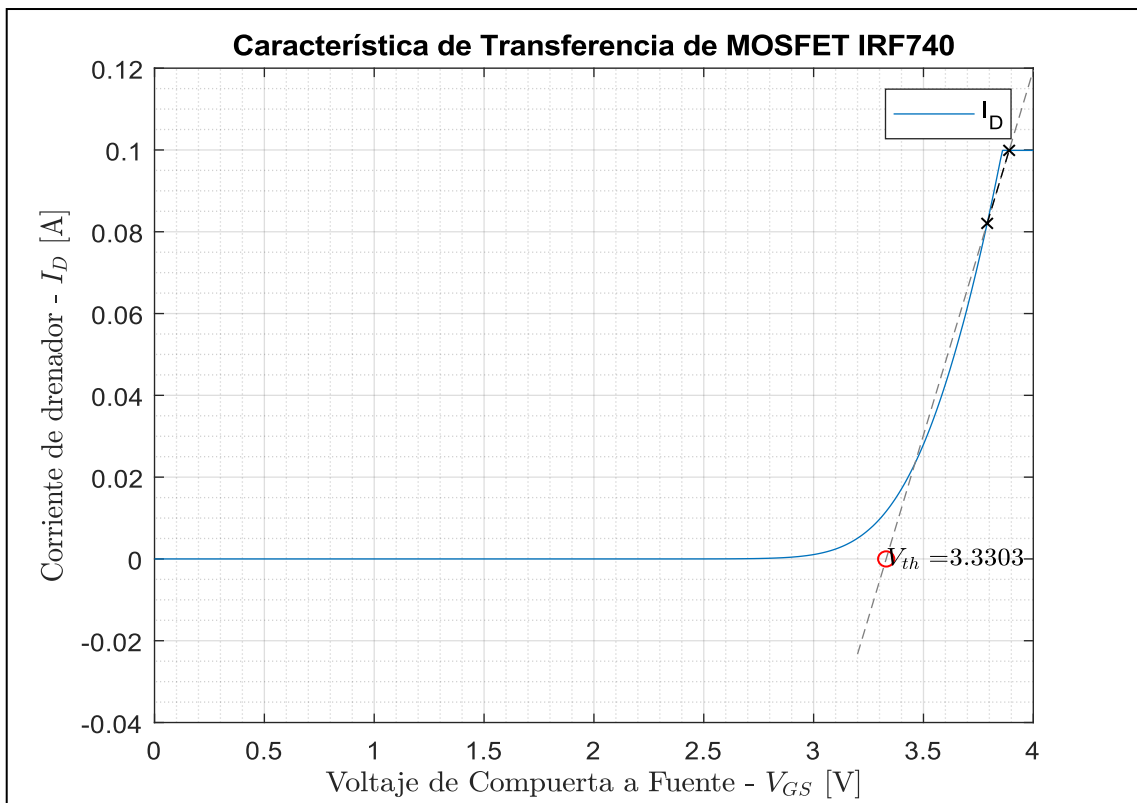


Gráfico 2-3: Caracterización I-V DUT IRF740.

Realizado por: Berrones Sofia, 2020.

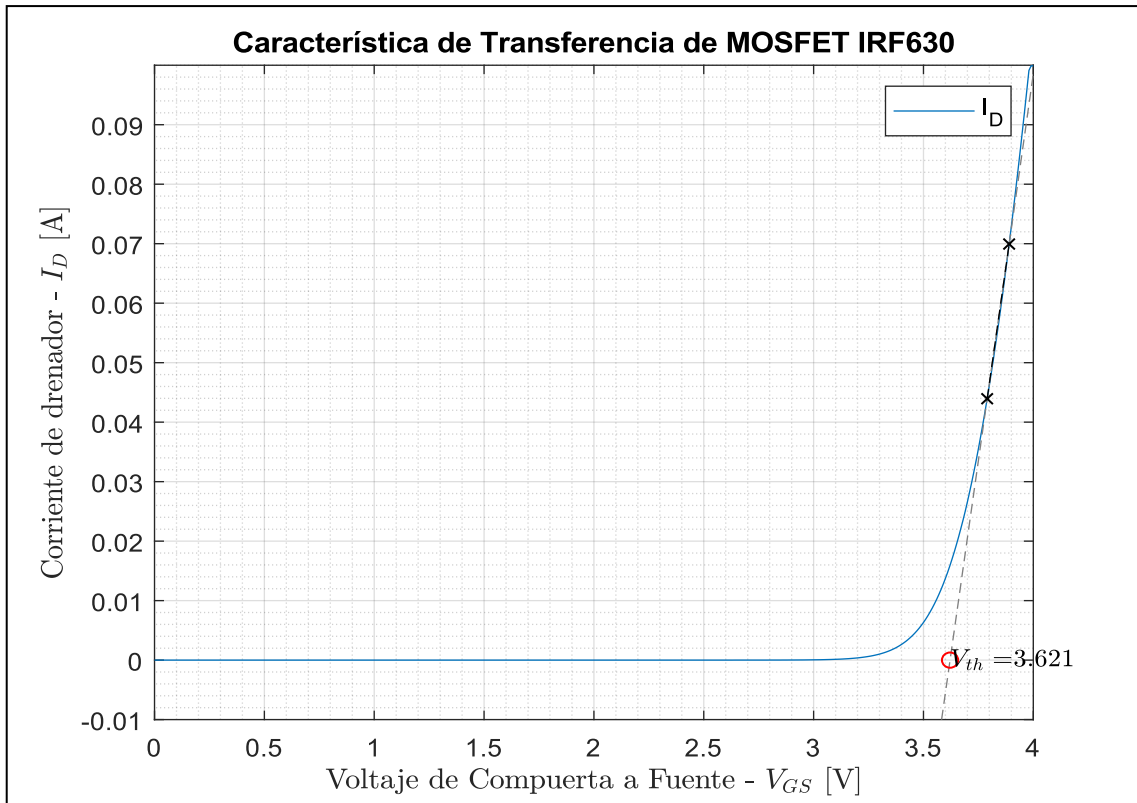


Gráfico 3-3: Caracterización I-V DUT IRF630.

Realizado por: Berrones Sofia, 2020.

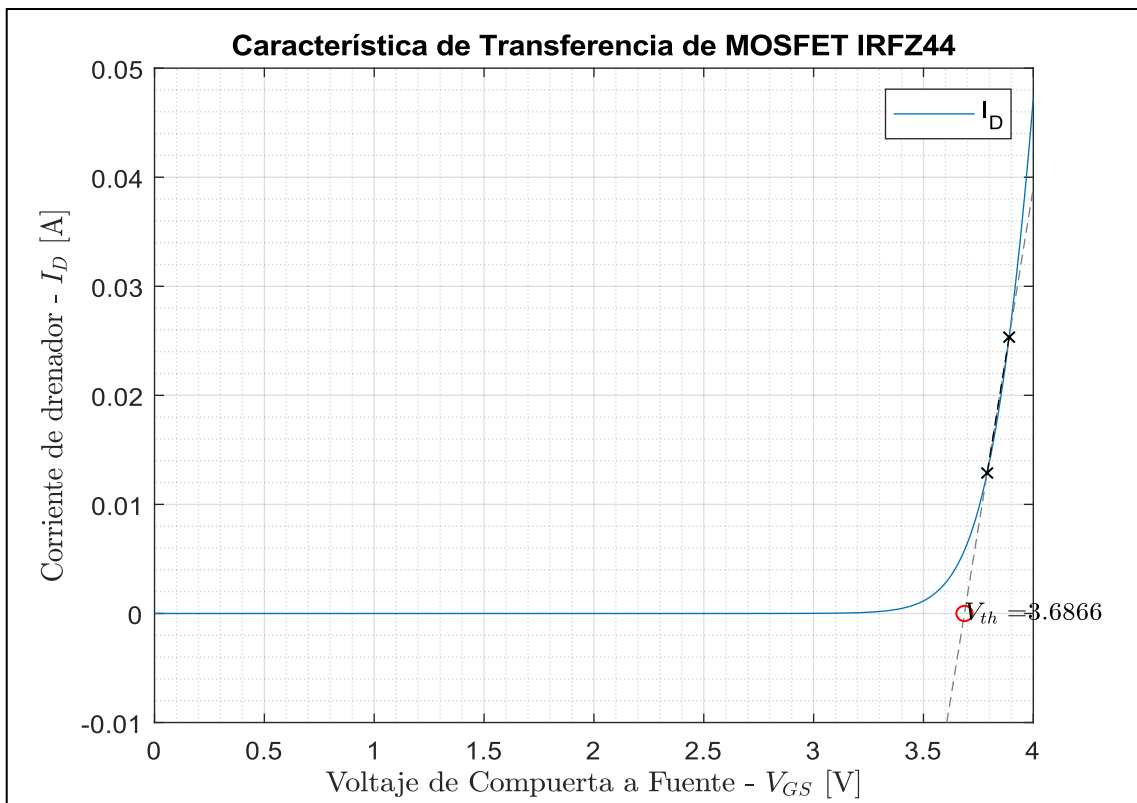


Gráfico 4-3: Caracterización I-V DUT IRFZ44.

Realizado por: Berrones Sofia, 2020.

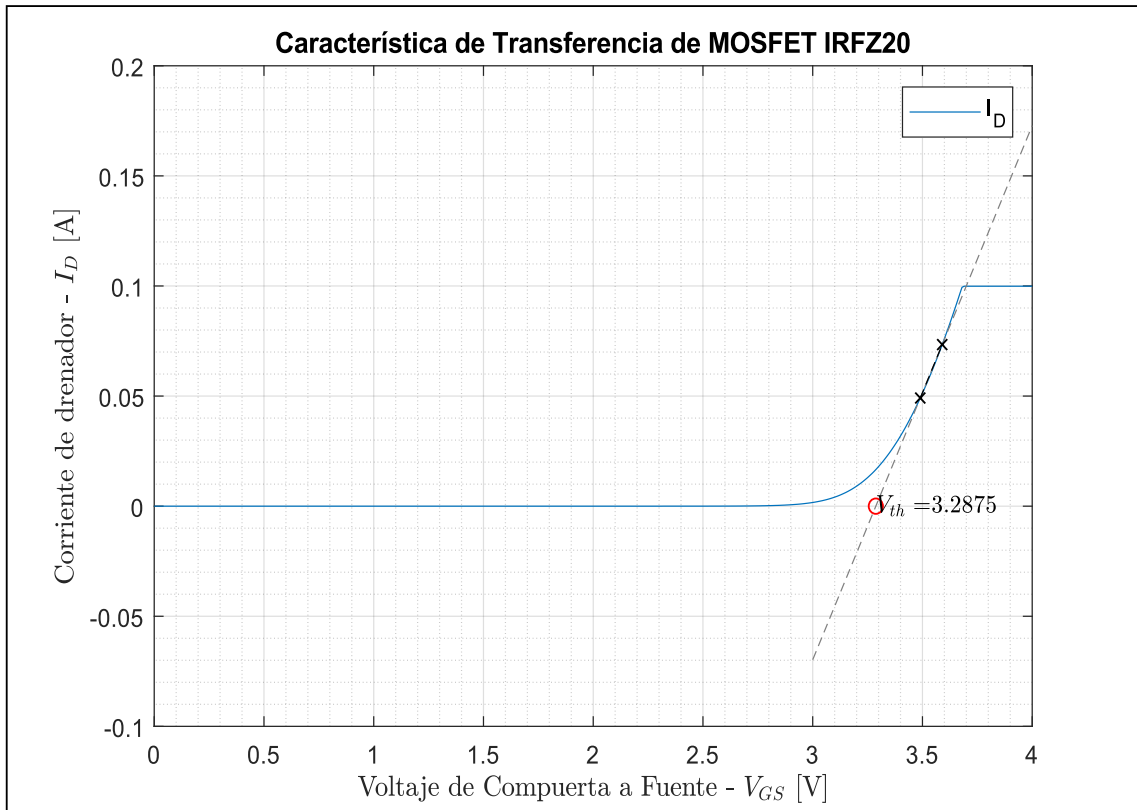


Gráfico 5-3: Caracterización I-V DUT IRFZ20.

Realizado por: Berrones Sofia, 2020.

Los Gráficos muestran la variación de la corriente de drenador a fuente como función de la tensión entre puerta y fuente de todos los DUTs seleccionados.

3.3 Mediciones de ruido de baja frecuencia previo a la aplicación del estrés

Después de la caracterización I-V se realizaron las mediciones de ruido de baja frecuencia en los DUTs seleccionados, como se especifica en la sección 2.5.1. Las mediciones se realizaron bajo las siguientes condiciones: $V_{DS} = 2$ V, $V_{GS} = 1$ V, frecuencia de muestreo de 1000 Hz, tiempo de medición 1 h y temperatura ambiente de 25° C. Los gráficos 6-3, 7-3, 8-3, 9-3 y 10-3 muestran la PSD del ruido de corriente antes de la aplicación del estrés de los DUTs.

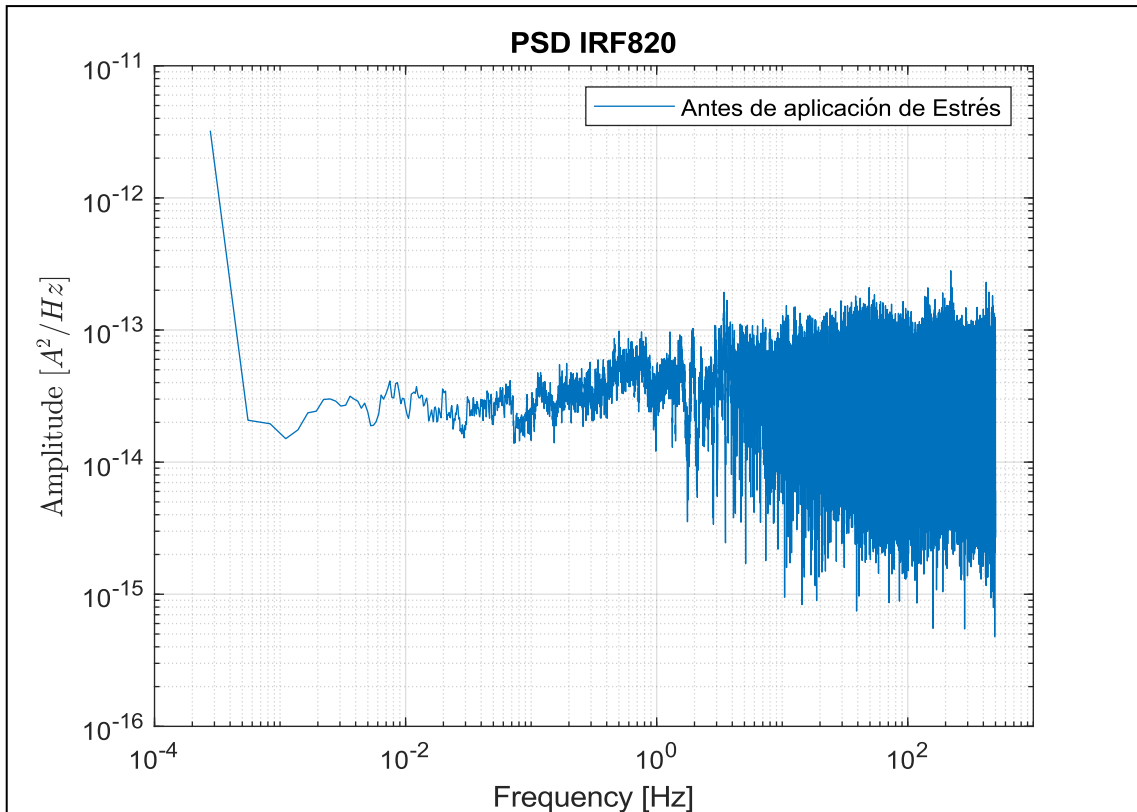


Gráfico 6-3: Medición LFN DUT IRF820.

Realizado por: Berrones Sofia, 2020.

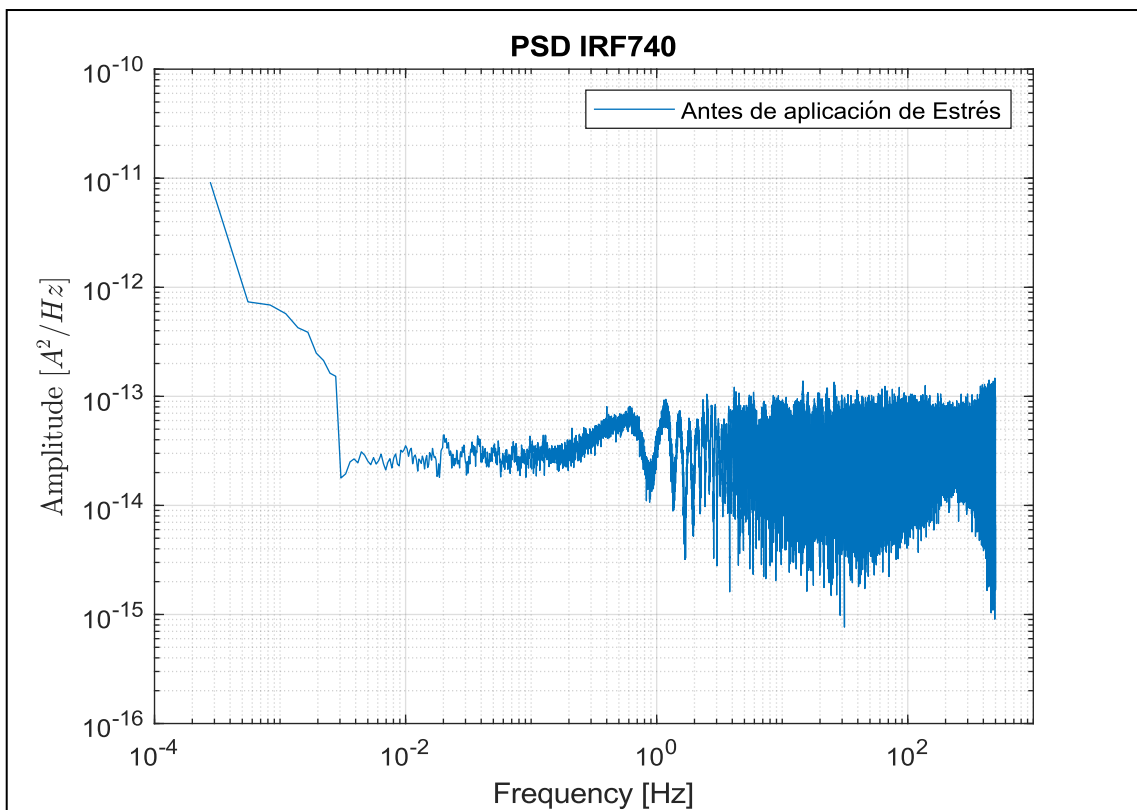


Gráfico 7-3: Medición LFN DUT IRF740.

Realizado por: Berrones Sofia, 2020.

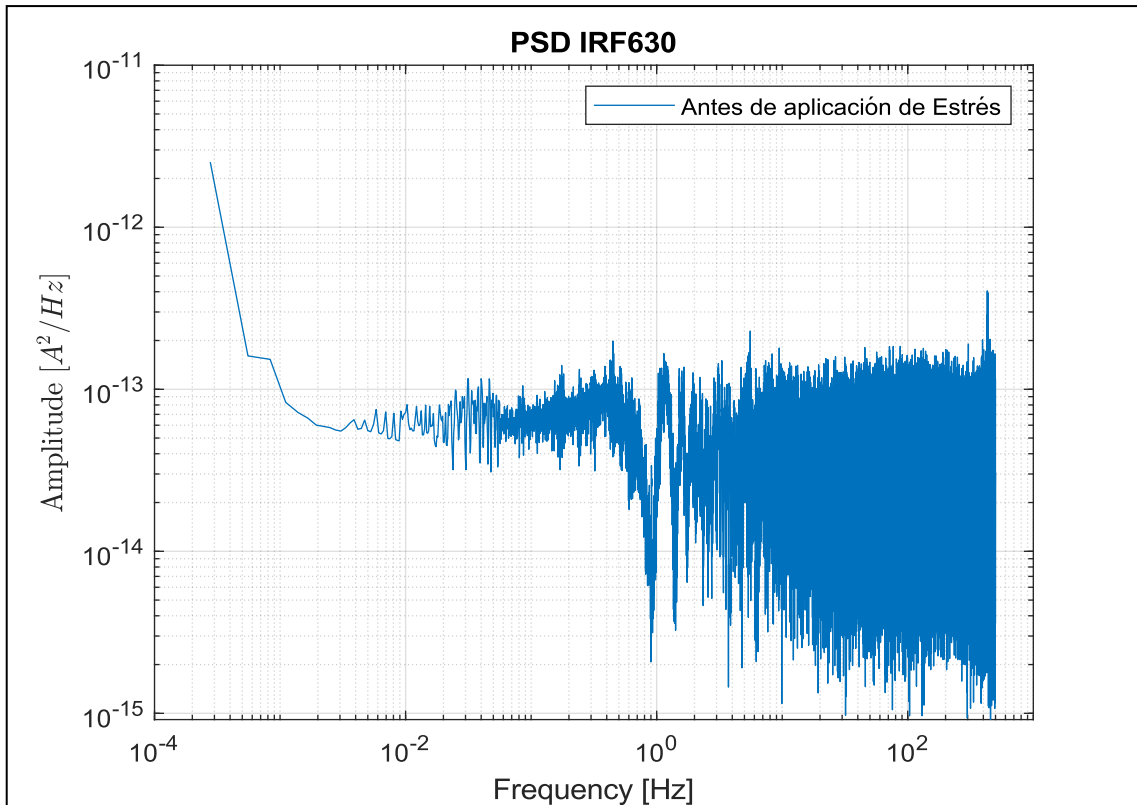


Gráfico 8-3: Medición LFN DUT IRF630.

Realizado por: Berrones Sofia, 2020.

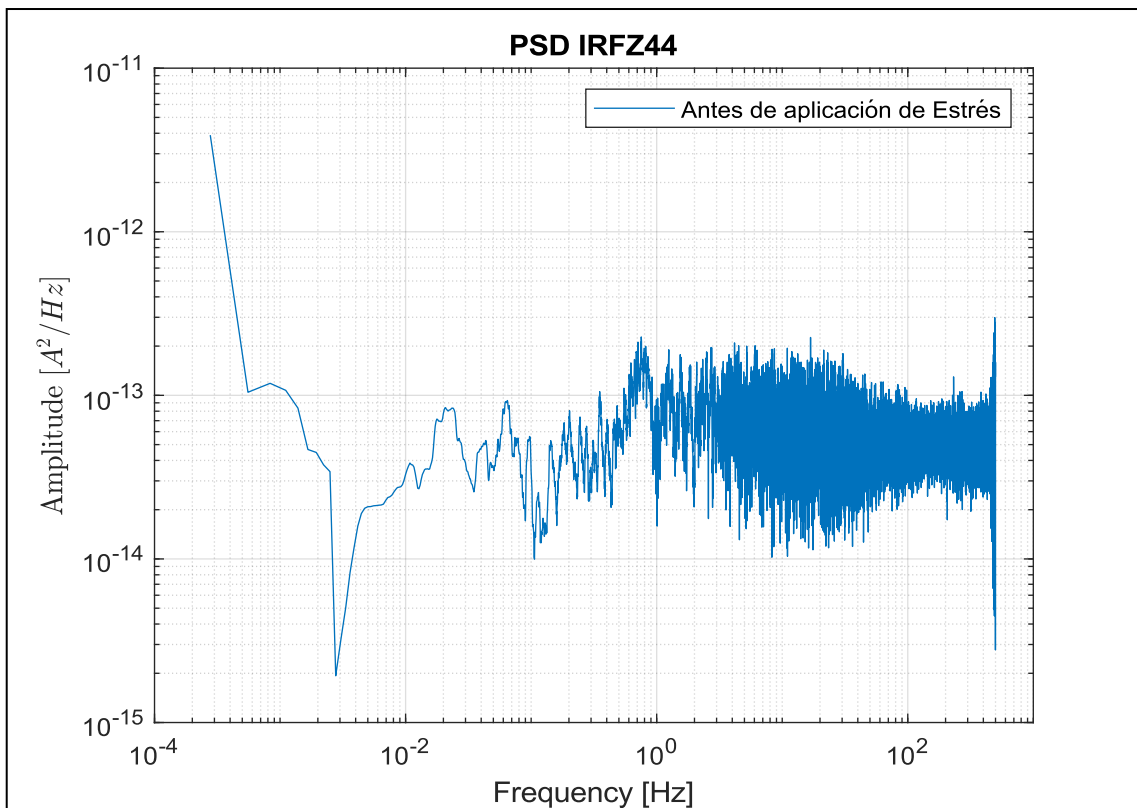


Gráfico 9-3: Medición LFN DUT IRFZ44.

Realizado por: Berrones Sofia, 2020.

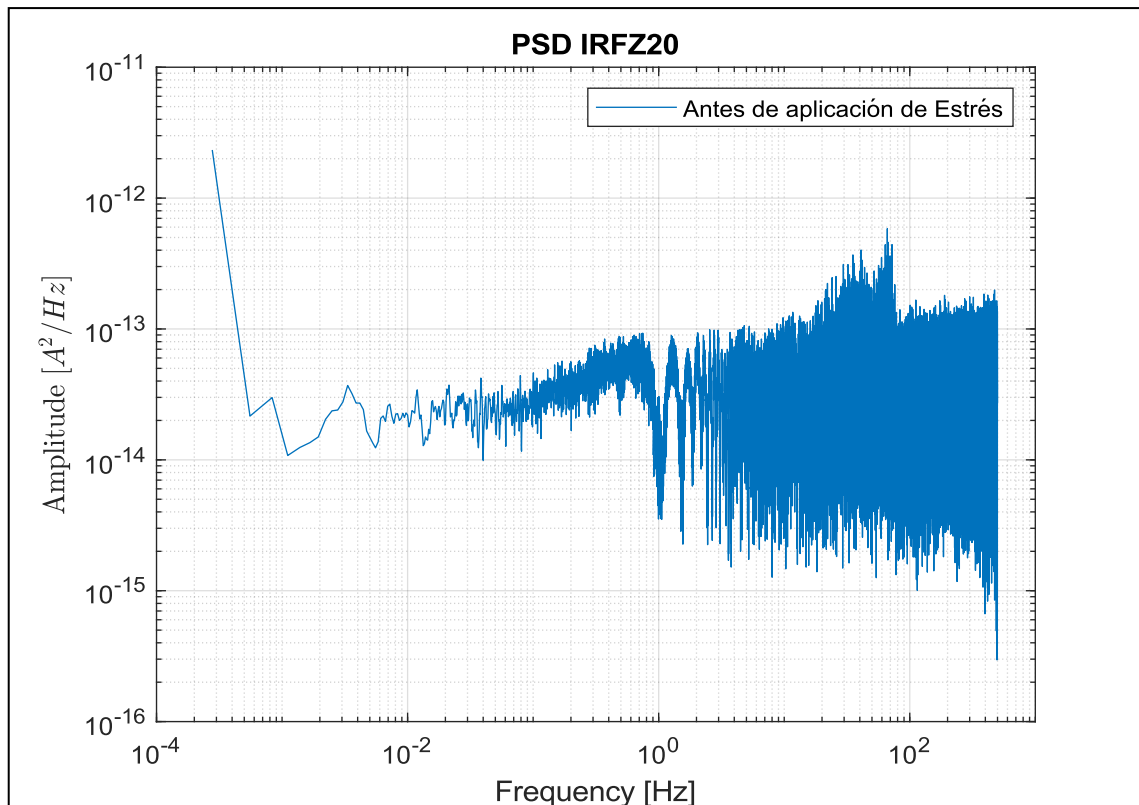


Gráfico 10-3: Medición LFN DUT IRFZ20.

Realizado por: Berrones Sofia, 2020.

3.4 Aplicación de Estrés Térmico y Eléctrico

Posterior a las mediciones de ruido de baja frecuencia en los DUTs, se aplicó estrés térmico y eléctrico siguiendo el método que se especifica en la sección 2.4.1 y como se muestra en la Figura 1-3. Con condiciones de polarización que se detallan en la Tabla 2-3.

Tabla 2-3: Condiciones de aplicación de estrés térmico y eléctrico.

Dispositivo Bajo Prueba (DUT)	Voltaje de ruptura [V]	Tiempo de Aplicación de Estrés [horas]	Temperatura de Estrés [°C]	Voltaje de D-S de Estrés [V]
IRF820	500	30	150	600
IRF740	400	60	150	480
IRF630	200	30	150	240
IRFZ44	60	30	150	72
IRFZ20	50	30	150	60

Realizado por: Berrones Sofia, 2020.

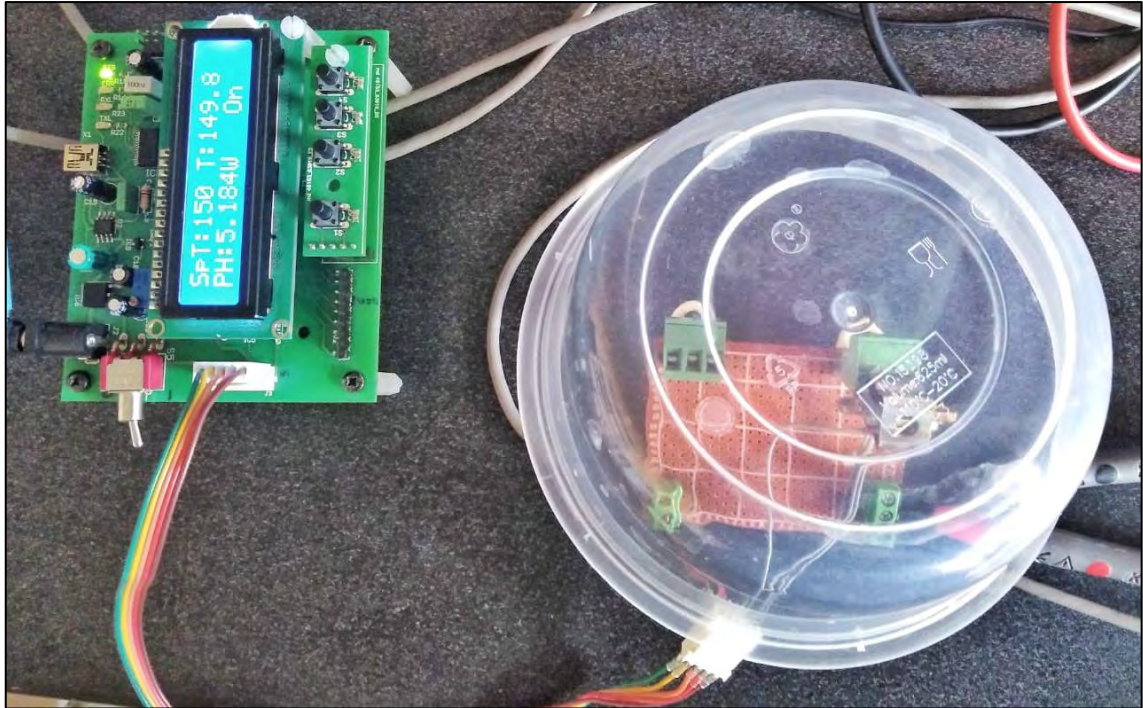


Figura 1-3: Aplicación de Estrés Térmico y Eléctrico.

Realizado por: Berrones Sofía, 2020.

En todos los DUTs se aplicó un tiempo de estrés de 30 horas, excepto en el caso del DUT IRF740 en el cual se afinó la prueba de estrés aplicando 60 horas de estrés durante 3 ciclos de 20 horas variando el voltaje de drenador a fuente del 80% de su valor nominal hasta el 120% sin que se produzca la ruptura del dispositivo. Para los demás DUTs, el voltaje de estrés aplicado entre los terminales de drenador y fuente, con el terminal de compuerta cortocircuitado a fuente, fue del 120% del voltaje nominal de ruptura. Esto fue posible debido al mecanismo de retroalimentación positiva que se activa en el MOSFET al aplicar alta temperatura, haciendo así que su capacidad de bloquear un mayor voltaje aumente, tal y como se explicó en el Capítulo I.

3.5 Caracterización I-V posterior a la aplicación del estrés

Para evidenciar los efectos de aplicación del estrés térmico y eléctrico en la degradación del dispositivo se realizó la caracterización I-V, para determinar la variación del voltaje de umbral en los DUTs. Se estableció como criterio de falla la variación en el voltaje de umbral ΔV_{th} de $\pm 5\text{mV}$ debido a la alta sensibilidad que presentan los mecanismos de conducción de corriente ante pequeñas variaciones de voltaje de umbral. Los resultados se muestran en los Gráficos 11-3, 12-3, 13-3, 14-3, 15-3 y se resumen en la tabla 3-3.

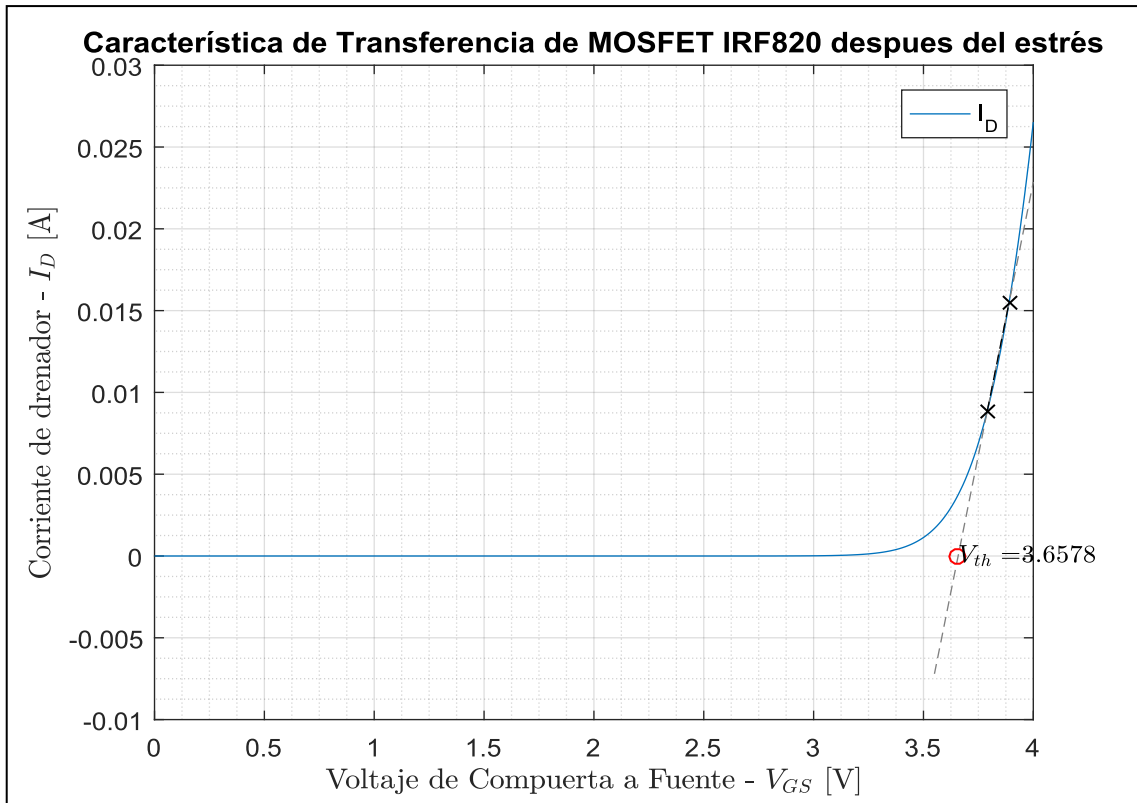


Gráfico 11-3: Caracterización I-V DUT IRF820 después de la aplicación del estrés.

Realizado por: Berrones Sofia, 2020.

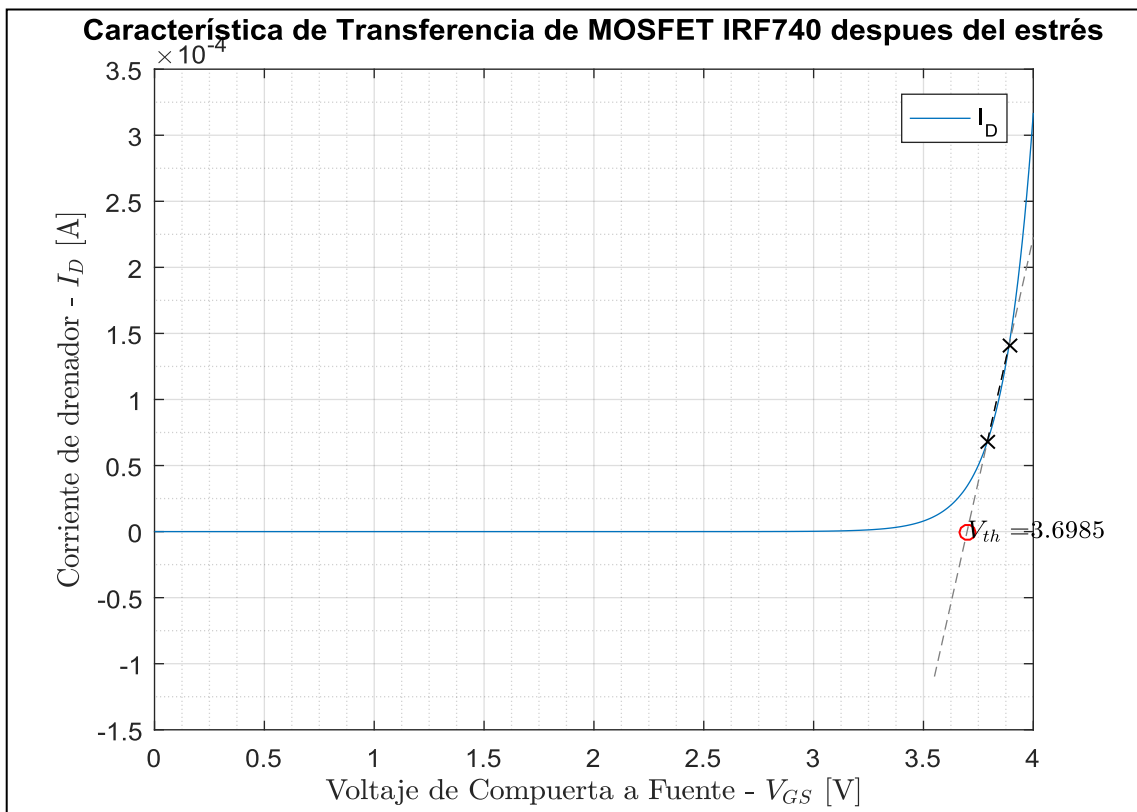


Gráfico 12-3: Caracterización I-V DUT IRF740 después de la aplicación del estrés.

Realizado por: Berrones Sofia, 2020.

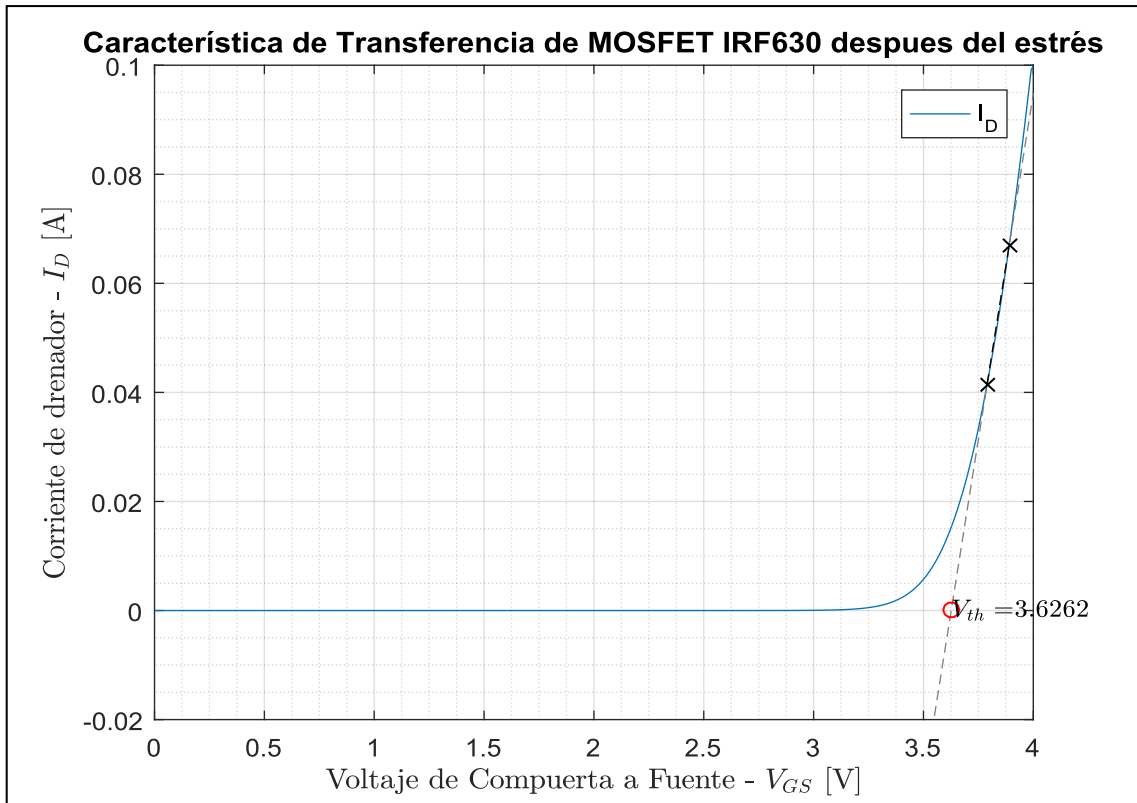


Gráfico 13-3: Caracterización I-V DUT IRF630 después de la aplicación del estrés.

Realizado por: Berrones Sofia, 2020.

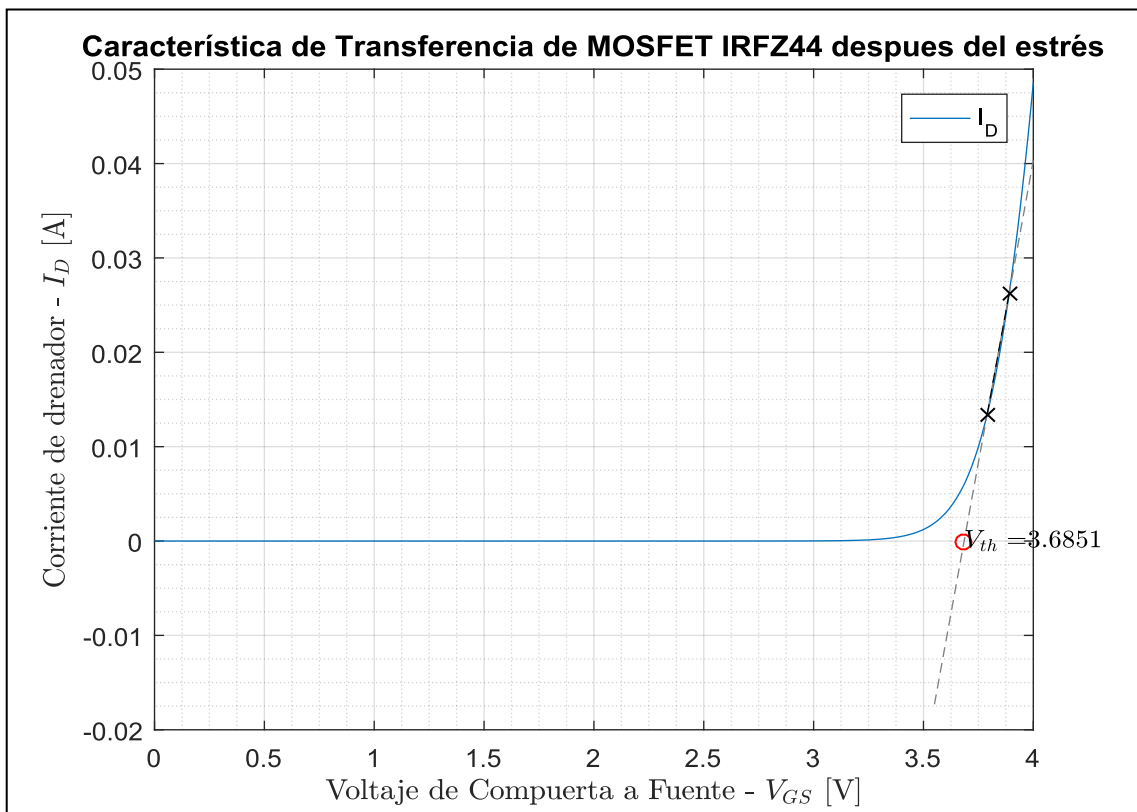


Gráfico 14-3: Caracterización I-V DUT IRFZ44 después de la aplicación del estrés.

Realizado por: Berrones Sofia, 2020.

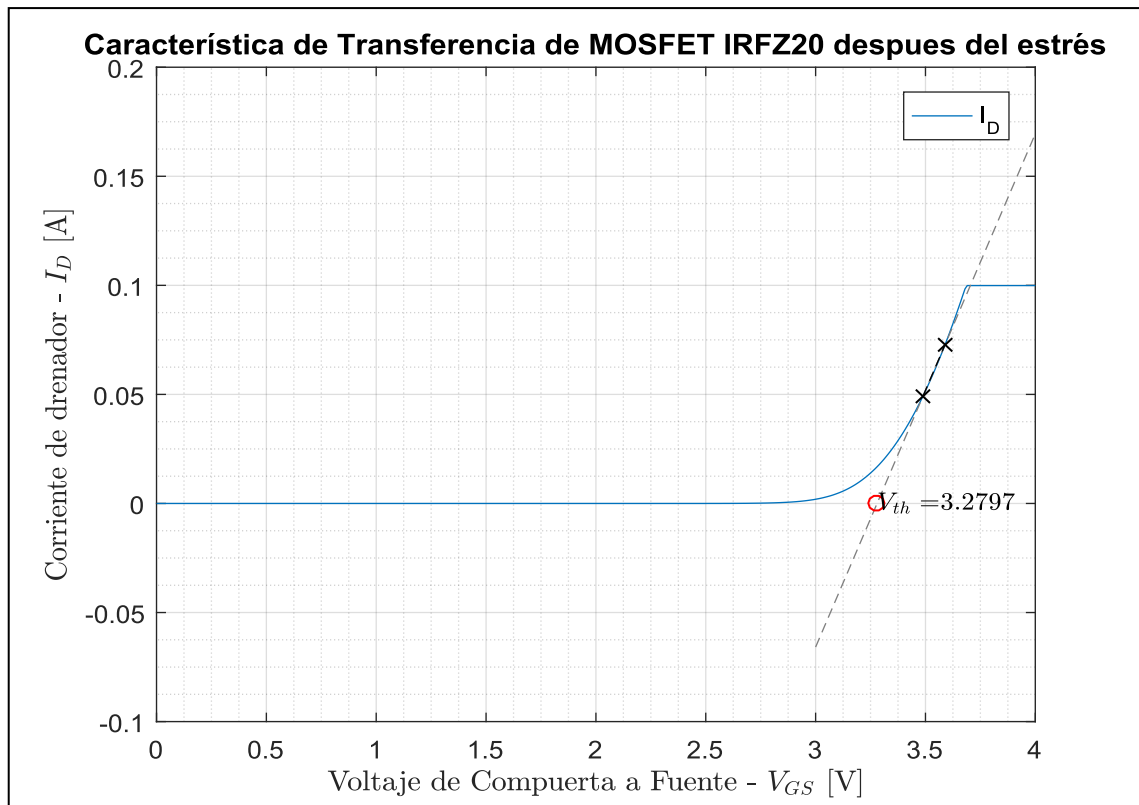


Gráfico 15-3: Caracterización I-V DUT IRFZ20 después de la aplicación del estrés.

Realizado por: Berrones Sofia, 2020.

Tabla 3-3: Caracterización I-V antes y después del estrés térmico y eléctrico.

Dispositivo Bajo Prueba (DUT)	Voltaje de umbral antes [V]	Voltaje de umbral después [V]	Diferencia [V]	Falla en el DUT
IRF820	3,6513	3,6578	-0,0065	Si
IRF740	3,3303	3,6985	-0,3682	Si
IRF630	3,6210	3,6262	-0,0052	Si
IRFZ44	3,6866	3,6851	0,0015	No
IRFZ20	3,2875	3,2797	0,0078	Si

Realizado por: Berrones Sofia, 2020.

Como se observa en los Gráficos 11-3, 12-3, 13-3, 14-3, 15-3 y la Tabla 3-3 la variación del voltaje de umbral es muy pequeña. Sin embargo, si se considera el criterio de falla establecido, la mayoría de los dispositivos presentan fallas, exceptuando el DUT IRFZ44. Además, el DUT IRF740 presenta una variación de voltaje de umbral muy significativa con un valor de 0,3682 V lo que puede ser síntoma de una degradación considerable en el dispositivo.

3.6 Mediciones de ruido de baja frecuencia posterior a la aplicación del estrés

Como se mencionó en la sección 2.5.1, es necesario realizar mediciones de ruido de baja frecuencia después del estrés, ya que como se observa en la Tabla 3-3 los cambios en los parámetros eléctricos no son significativos en la mayoría de los dispositivos.

Las mediciones de ruido se realizaron con las siguientes condiciones: $V_{DS} = 2\text{ V}$, $V_{GS} = 1\text{ V}$, frecuencia de muestreo 1000 Hz, tiempo de medición 1 h y temperatura ambiente de 25° C ; igual a las condiciones de polarización de las mediciones antes de la aplicación del estrés. Los Gráficos 16-3, 17-3, 18-3, 19-3 y 20-3 muestran la PSD después de la aplicación del estrés en comparativa con la PSD medida antes de la aplicación del estrés de los DUTs. Como puede ser observado, existen ciertos cambios si se comparan ambas PSDs para cada uno de los dispositivos considerados.

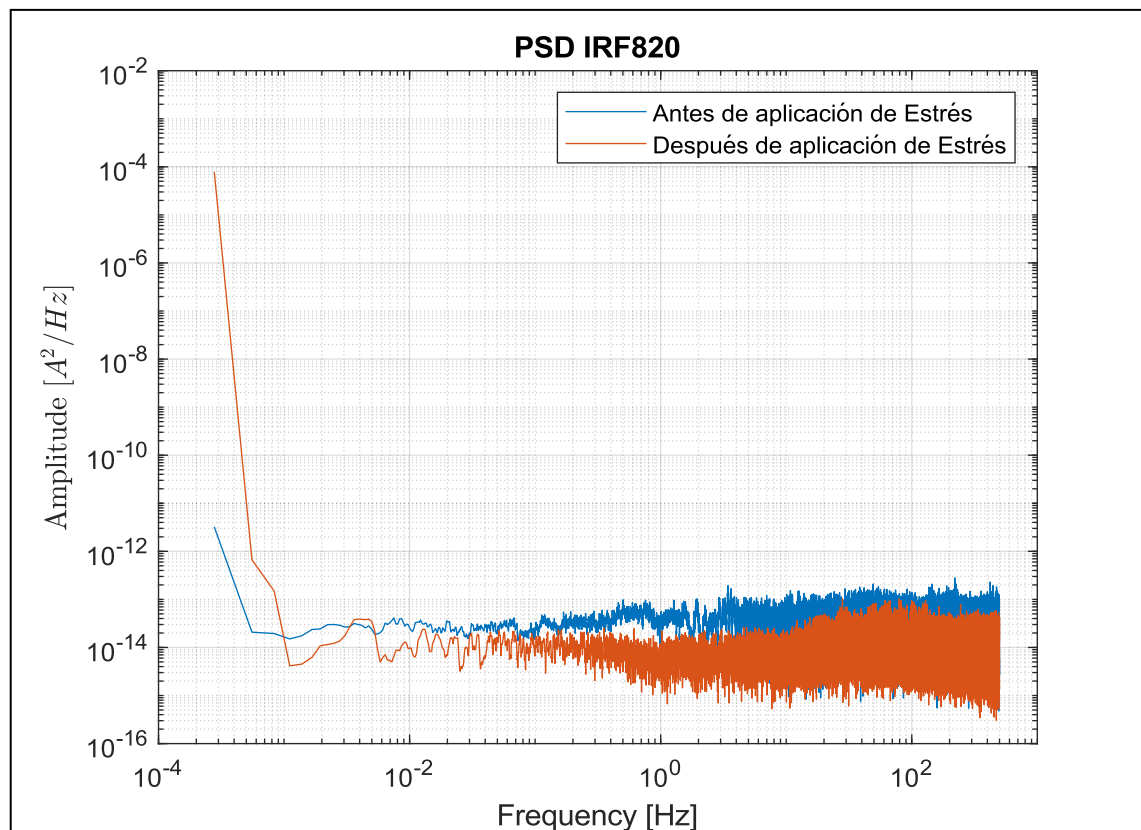


Gráfico 16-3: Medición LFN DUT IRF820 comparación antes y después de la aplicación del estrés.

Realizado por: Berrones Sofia, 2020.

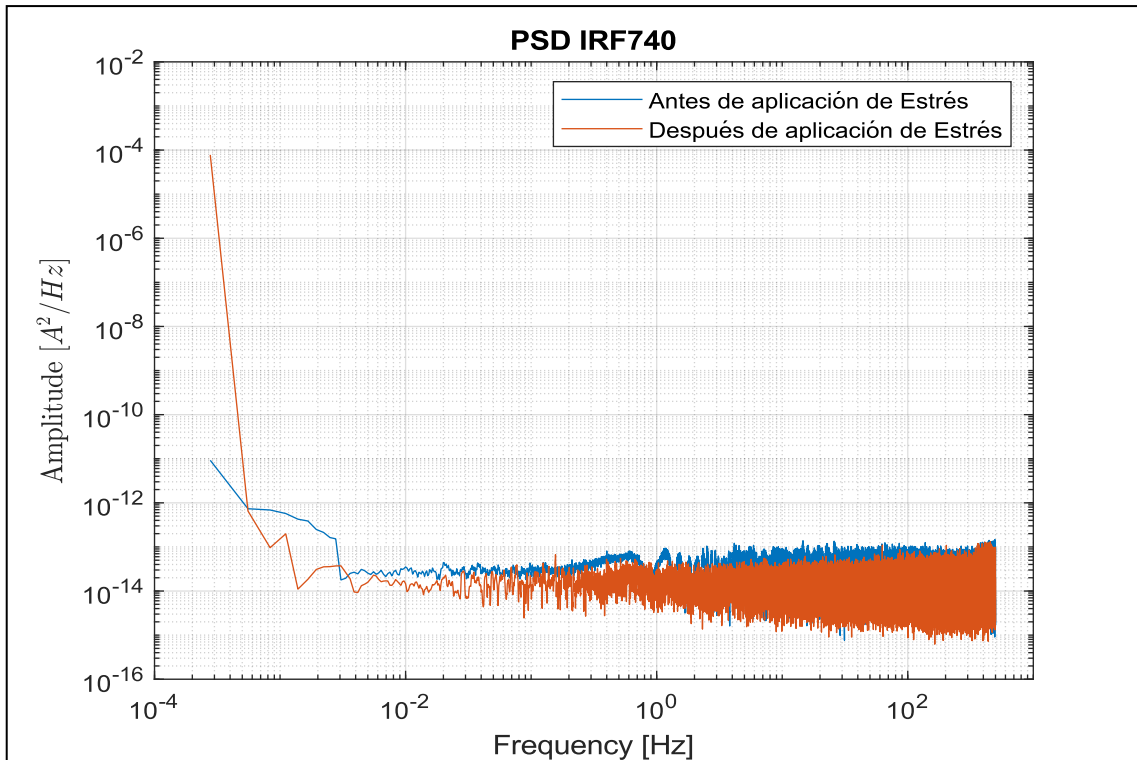


Gráfico 17-3: Medición LFN DUT IRF740 comparación antes y después de la aplicación del estrés.

Realizado por: Berrones Sofia, 2020.

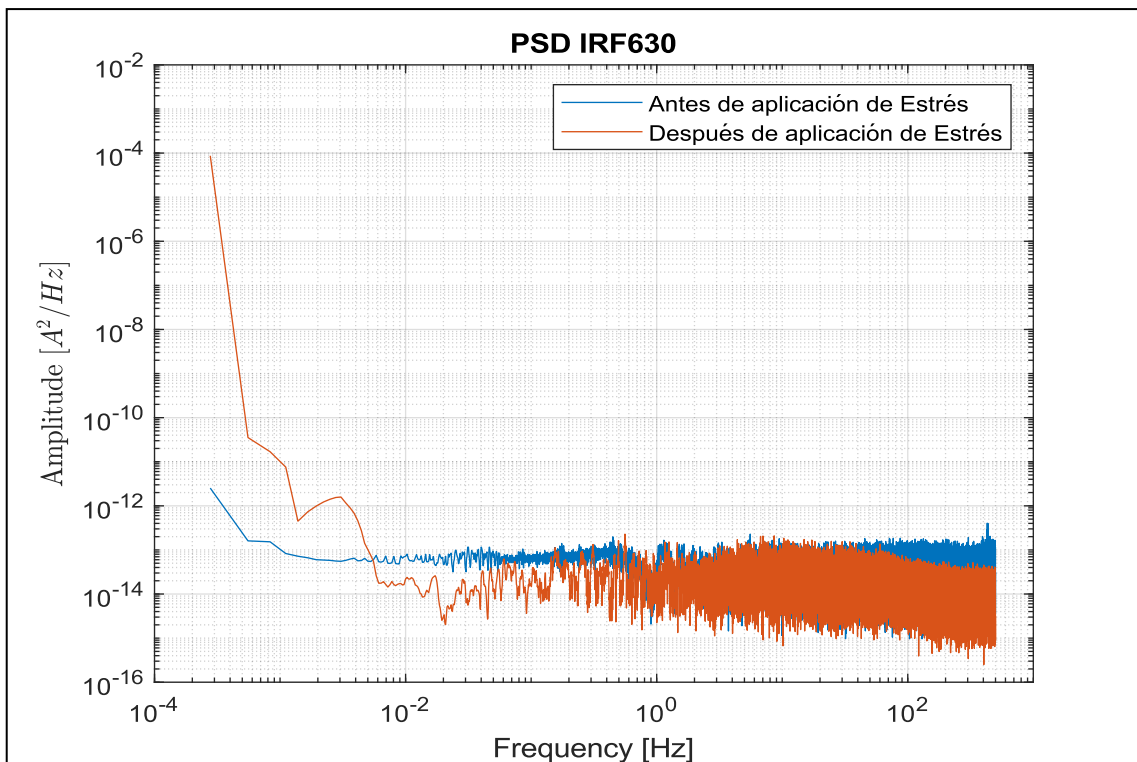


Gráfico 18-3: Medición LFN DUT IRF630 comparación antes y después de la aplicación del estrés.

Realizado por: Berrones Sofia, 2020.

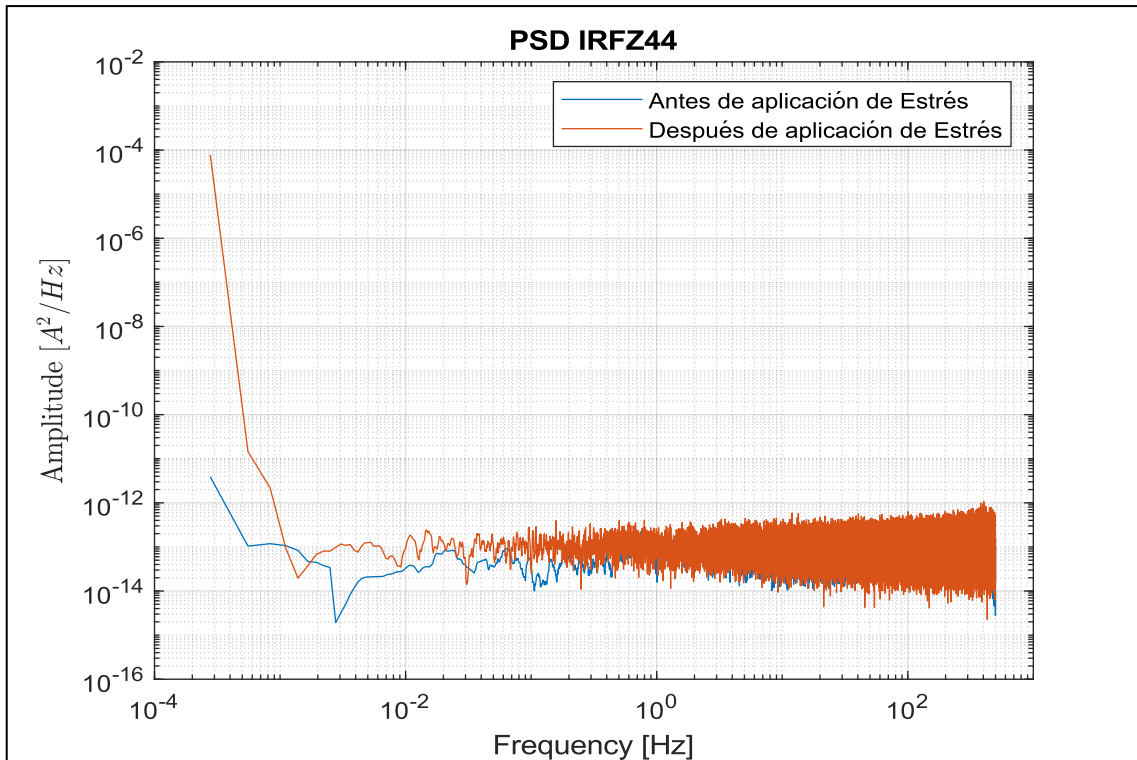


Gráfico 19-3: Medición LFN DUT IRFZ44 comparación antes y después de la aplicación del estrés.

Realizado por: Berrones Sofia, 2020.

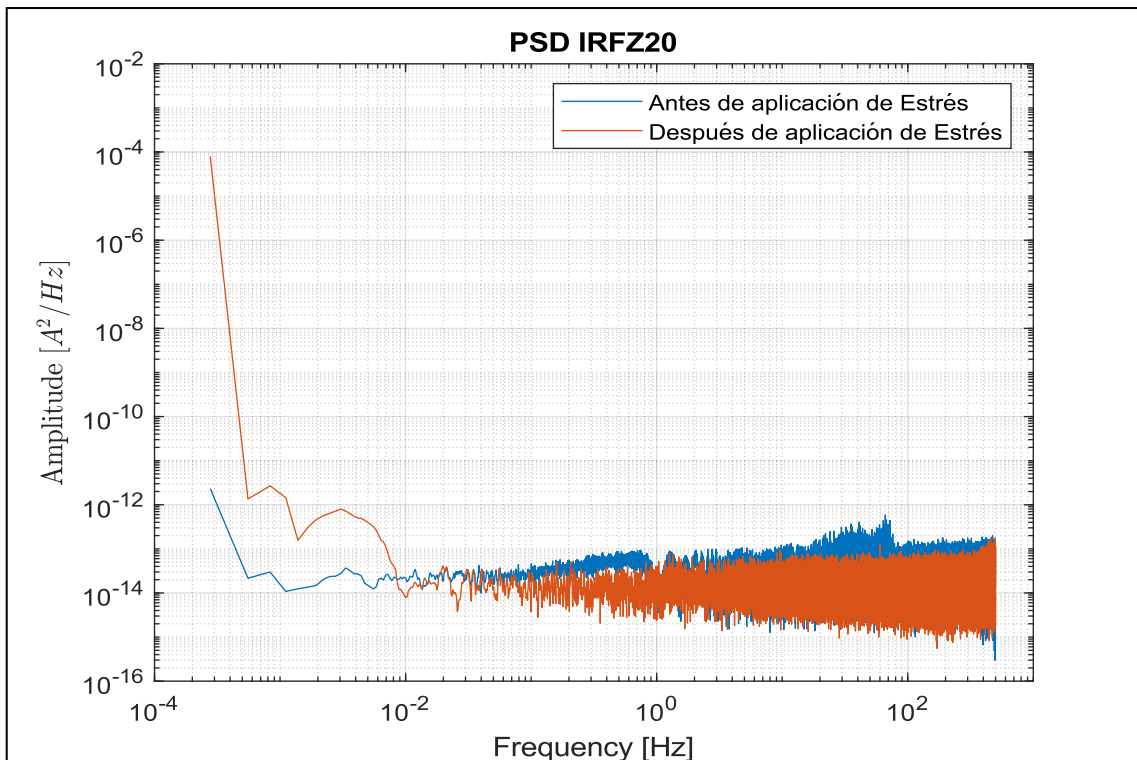


Gráfico 20-3: Medición LFN DUT IRFZ20 comparación antes y después de la aplicación del estrés.

Realizado por: Berrones Sofia, 2020.

Con el fin de tener una mejor apreciación del ruido flicker para fines de comparación entre las diferentes PSDs para cada uno de los DUTs, se han extraído ciertos tramos de las PSDs en los Gráficos 21-3, 22-3, 23-3, 24-3 y 25-3. Estos Gráficos muestran la PSD entre el rango de frecuencias (10^{-4} y 10^{-2} Hz) donde el ruido flicker de corriente es más evidente. Los resultados numéricos de ruido de corriente flicker a una frecuencia de 1.18×10^{-4} Hz se resumen en la Tabla 4-3.

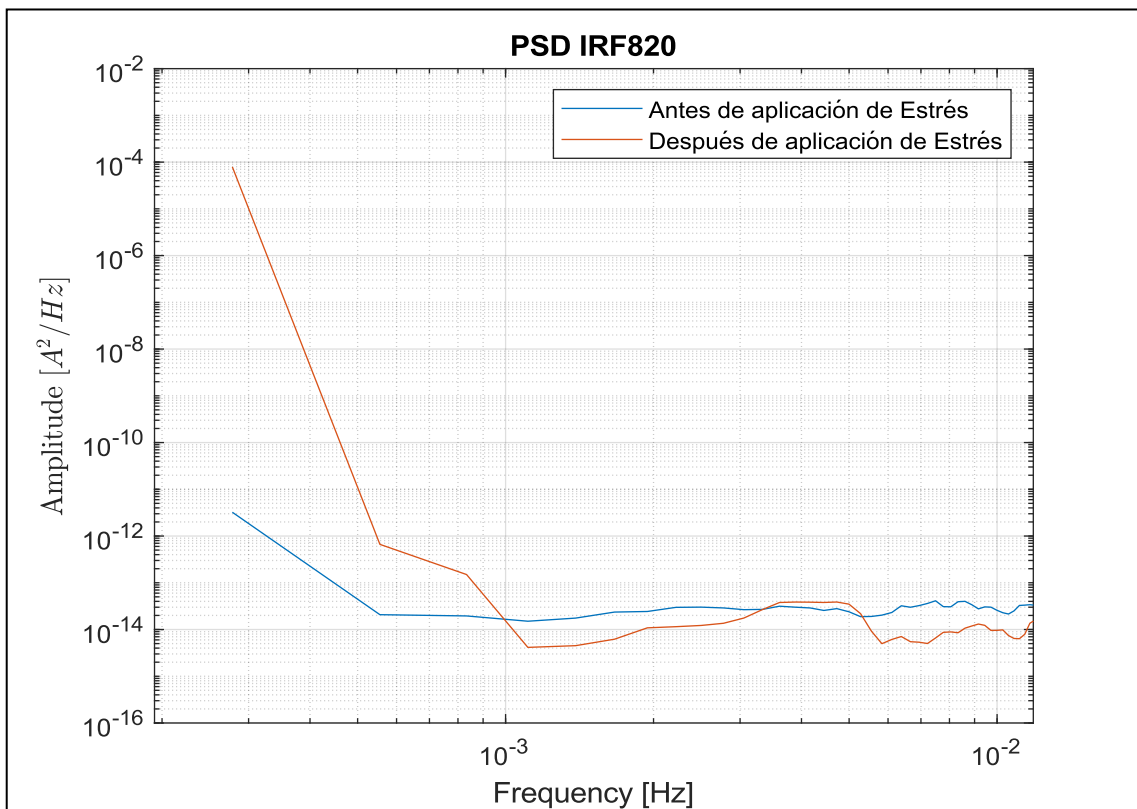


Gráfico 21-3: Ruido flicker DUT IRF820 comparación antes y después de la aplicación del estrés.

Realizado por: Berrones Sofia, 2020.

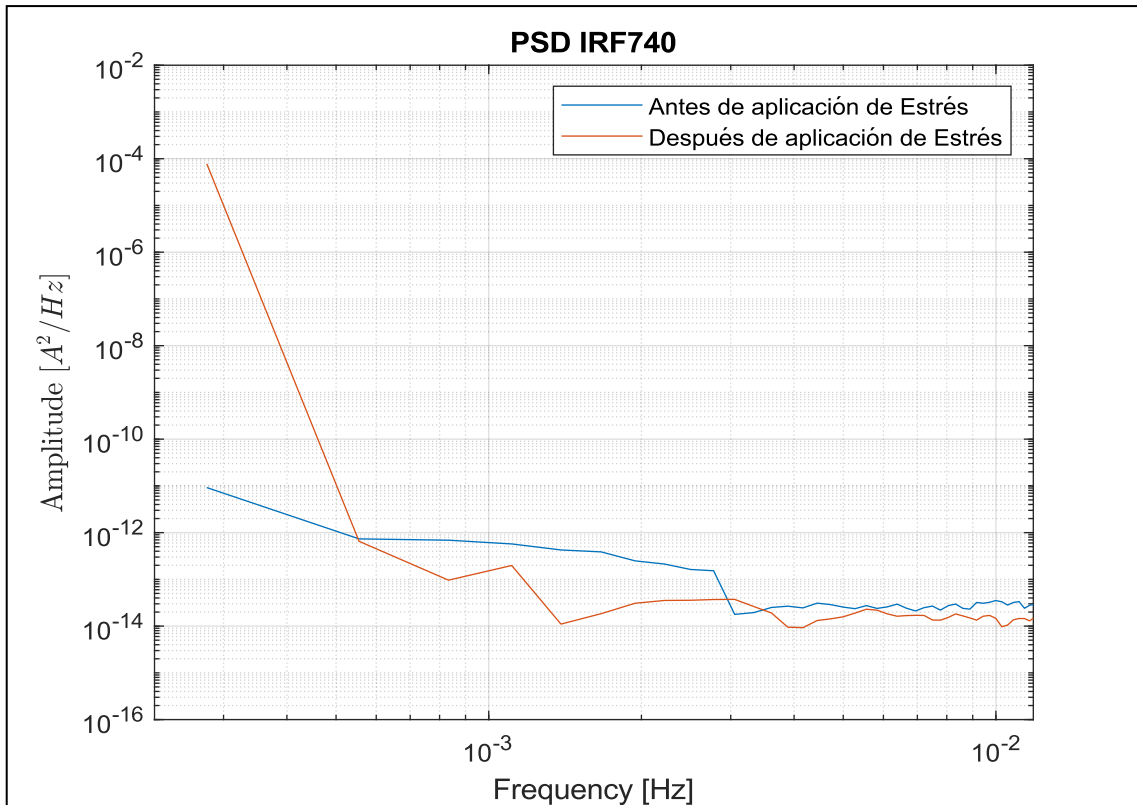


Gráfico 22-3: Ruido flicker DUT IRF740 comparación antes y después de la aplicación del estrés.

Realizado por: Berrones Sofia, 2020.

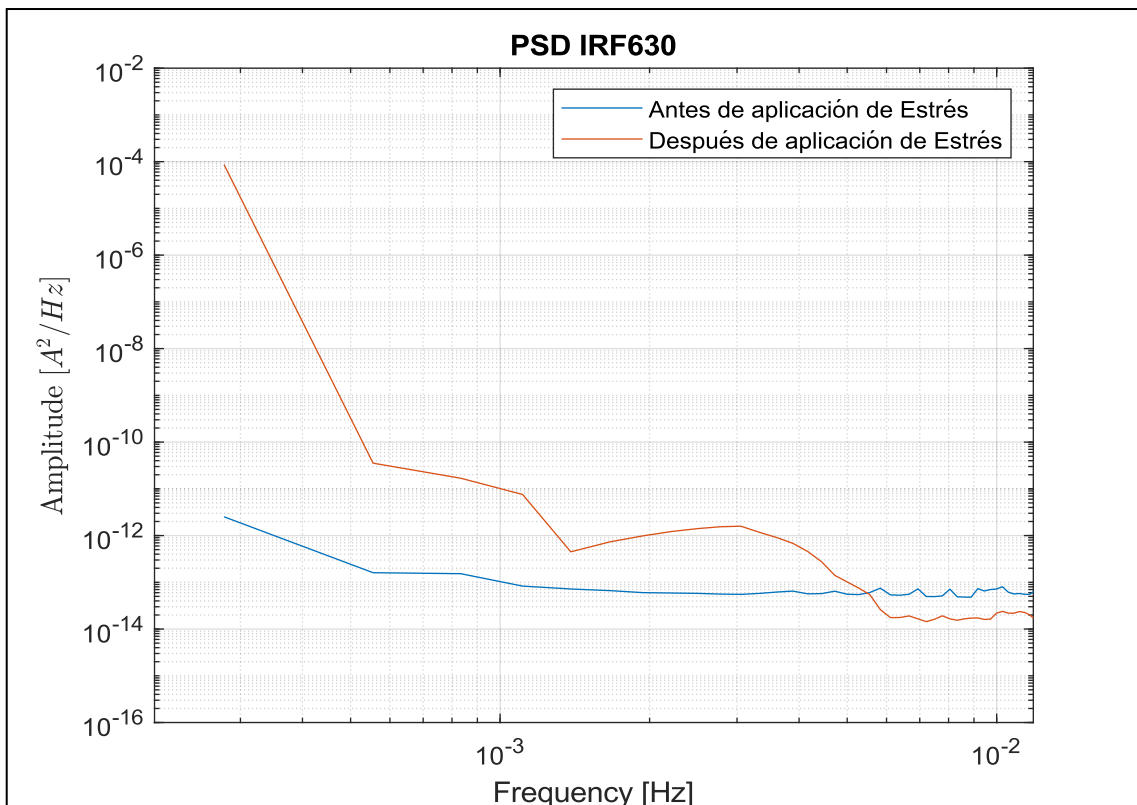


Gráfico 23-3: Ruido flicker DUT IRF630 comparación antes y después de la aplicación del estrés.

Realizado por: Berrones Sofia, 2020.

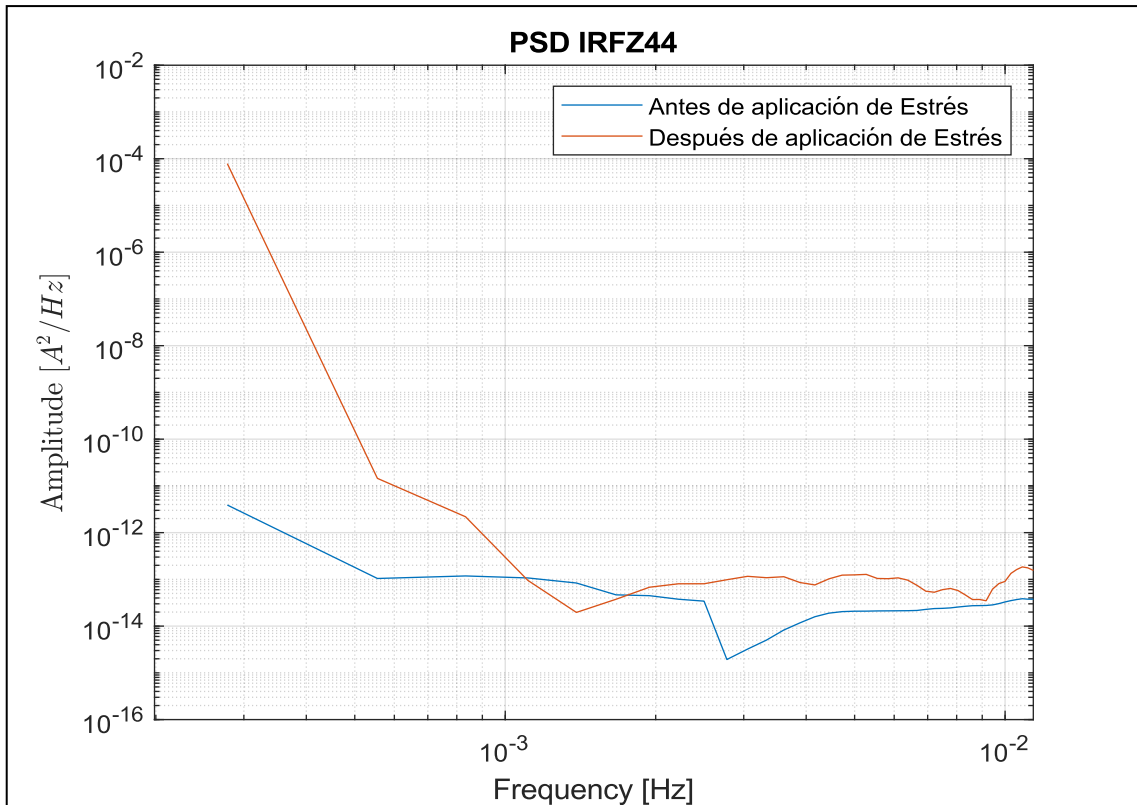


Gráfico 24-3: Ruido flicker DUT IRFZ44 comparación antes y después de la aplicación del estrés.

Realizado por: Berrones Sofia, 2020.

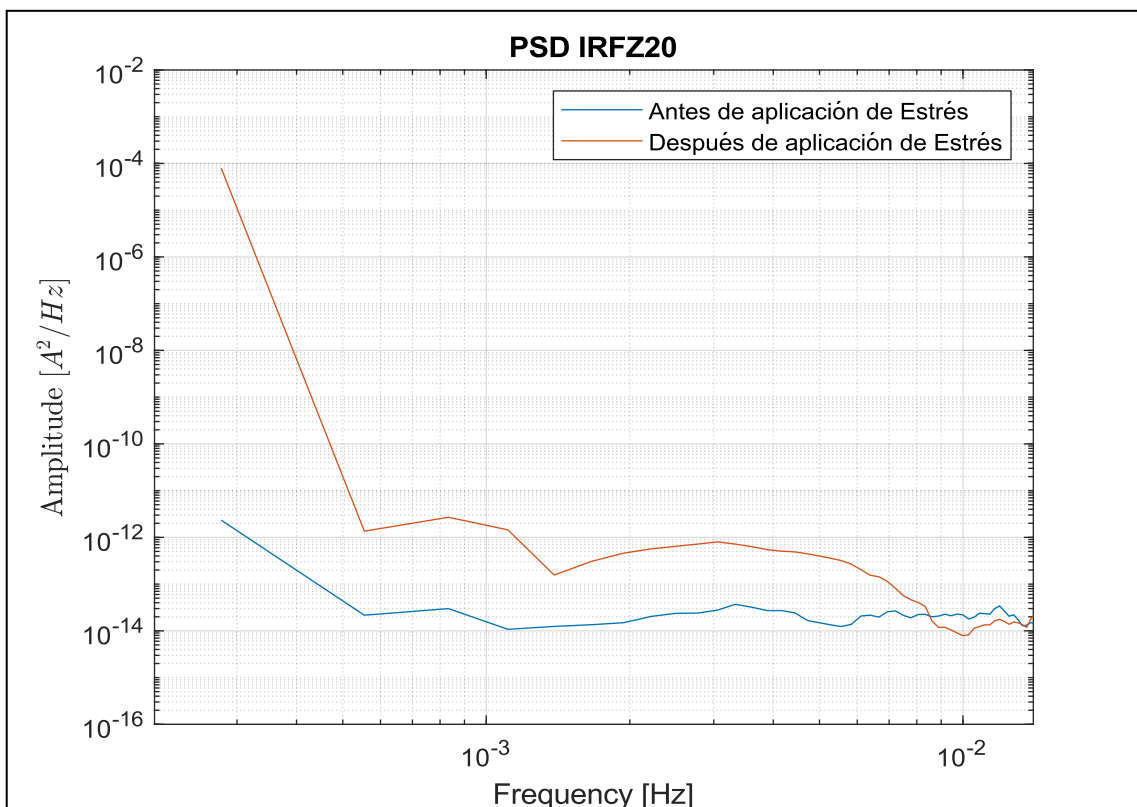


Gráfico 25-3: Ruido flicker DUT IRFZ20 comparación antes y después de la aplicación del estrés.

Realizado por: Berrones Sofia, 2020.

Tabla 4-3: Comparación resultados de mediciones de ruido de baja frecuencia de los DUTs antes y después del estrés, extraídos a 1.18×10^{-4} Hz.

Dispositivo Bajo Prueba	Valor [V]	Amplitud de densidad espectral de potencia antes [A^2/Hz]	Amplitud de densidad espectral de potencia después [A^2/Hz]	Razón de Incremento ($\times 10^7$)
IRF820	500	$5,8589 \cdot 10^{-12}$	$1,5798 \cdot 10^{-4}$	2,6964
IRF740	400	$111,00 \cdot 10^{-12}$	$1,5576 \cdot 10^{-4}$	0,14032
IRF630	200	$6,0936 \cdot 10^{-12}$	$1,7374 \cdot 10^{-4}$	2,8511
IRFZ44	60	$6,9313 \cdot 10^{-12}$	$1,5685 \cdot 10^{-4}$	2,2629
IRFZ20	50	$5,2739 \cdot 10^{-12}$	$1,5853 \cdot 10^{-4}$	3,0059

Realizado por: Berrones Sofia, 2020.

Como se puede observar en la Tabla 4-3, después de haber aplicado el estrés térmico y eléctrico, el ruido de corriente flicker, medido a la frecuencia de 1.18×10^{-4} Hz, incrementó en aproximadamente 7 órdenes de magnitud respecto al valor medido antes de la aplicación del estrés.

3.7 Análisis de LFNM y comparación con mecanismos de degradación

Los resultados obtenidos de las mediciones de ruido de baja frecuencia fueron contrastados con varios mecanismos de falla inducidos por el estrés aplicado. Para lo cual se requiere obtener la energía de activación del proceso y así poder determinar el mecanismo de degradación específico.

3.7.1 Energía de Activación

Como se indica en la sección 2.6.1, el factor de aceleración obtenido del modelo de Arrhenius está influenciado por la energía de activación, lo cual representa la energía mínima que debe ser transferida para desencadenar un proceso de mecanismo de falla del dispositivo, que se aplica durante las pruebas de estrés. La energía de activación puede ser estimada a partir de la ecuación de Arrhenius, como se muestra en la ecuación 1-3

Ecuación 1-3: Ecuación de Arrhenius para obtener la energía de activación

$$E_a = \frac{\ln\left(\frac{t_1}{t_2}\right)}{\frac{1}{T_1} - \frac{1}{T_2}} \cdot k$$

La ecuación se aplicó para valores de condiciones normales de operación del DUT de 30° C de temperatura y 10 años de vida (mínimo tiempo de vida esperado) y para valores de estrés de 150° C y la cantidad de horas que se aplicó el estrés a cada DUT.

Tabla 5-3: Energías de Activación de los mecanismos de falla inducidos en los DUTs.

Dispositivo Bajo Prueba (DUT)	Tiempo de Aplicación de Estrés [horas]	Energía de Activación [eV]
IRF820	30	0.7344
IRF740	60	0.6706
IRF630	30	0.7344
IRFZ44	30	0.7344
IRFZ20	30	0.7344

Realizado por: Berrones Sofia, 2020.

De acuerdo con las pruebas realizadas en los DUTs y comparando la Tabla 5-3 y la Figura 17-2, las energías de activación obtenidas podrían estar relacionadas con un proceso de contaminación Iónica debido a la liberación de iones implantados en distintas fases del proceso de fabricación (empaquetado, proceso de interconexión, ensamblaje, pruebas y operación), que adquieren alta movilidad o difusión causados por la temperatura de estrés aplicada y por el nivel de estrés eléctrico (altas intensidades de campo eléctrico debido a la sobretensión), lo que produce cambios en el voltaje de umbral de acuerdo con (Evans y Evans, 2001, p. 228).

3.7.2 Correlación entre Ruido de Baja Frecuencia y los Mecanismos de Degradación

Una relación gráfica de los valores de voltaje de umbral de la Tabla 3-3 y de PSD de ruido flicker de la Tabla 4-3 se presenta en el Gráfico 26-3. En esta gráfica puede observarse las variaciones de los valores de V_{th} y ruido flicker para cada DUT como consecuencia de la prueba acelerada de temperatura y voltaje. Concretamente, el nivel de ruido flicker aumentó drásticamente para todos los los DUTs, sin embargo, el valor de V_{th} varió ligeramente para los DUTs IRF820, IRF630, IRFZ44, e IRFZ20. Es importante mencionar que un caso excepcional es el que describe el DUT IRF740. Numéricamente, la relación entre estos cambios es más significativa solo para el DUT IRF740, ver Gráfico 26-3. En este DUT se puede apreciar una fuerte correlación entre el incremento de ruido flicker y el incremento del V_{th} .

Como ya se estableció en la subsección anterior, convencionalmente una variación del V_{th} durante una prueba de estrés dictamina una degradación o fallo de un dispositivo semiconductor de

potencia. Sin embargo, con relación a los resultados presentados, aunque la evidencia de degradación a partir del voltaje de umbral V_{th} no es tan significativa para la mayoría de los DUTs, dicha degradación sí resulta ser considerable desde el punto de vista del nivel de ruido de baja frecuencia, tal y como se observa en el Gráfico 26-3.

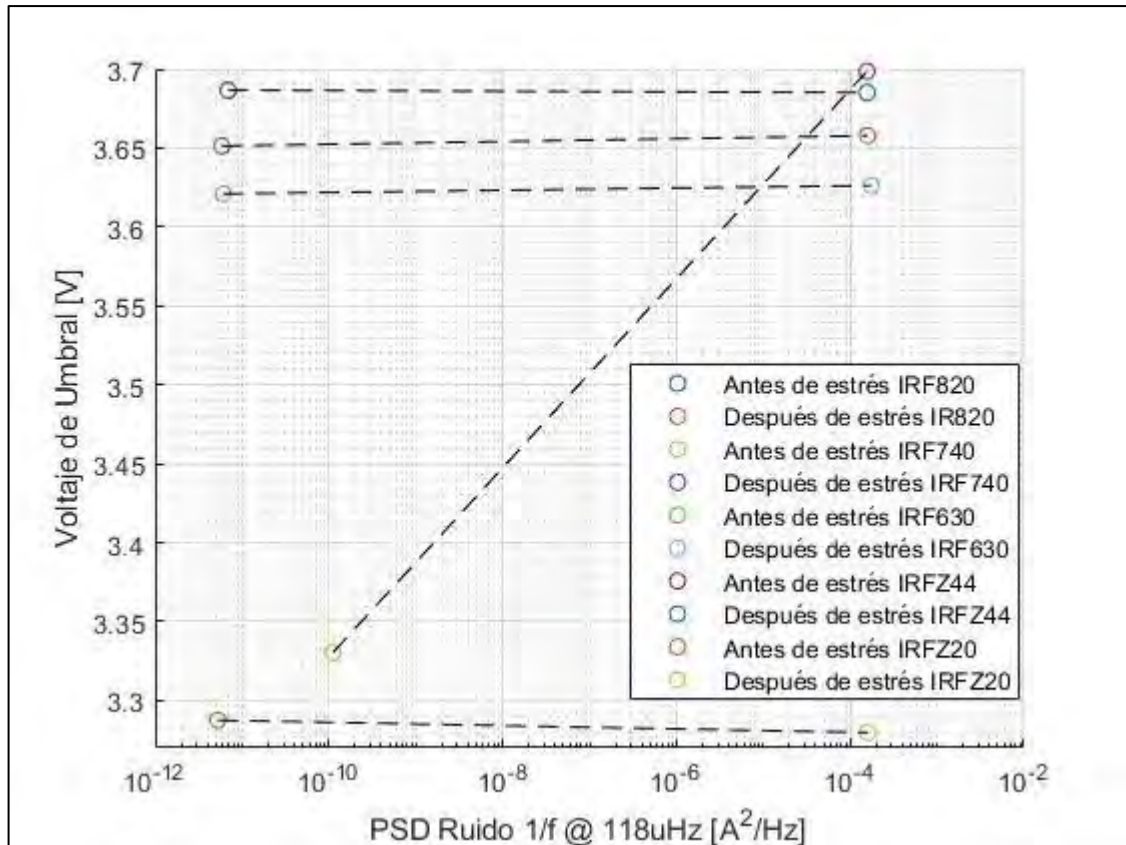


Gráfico 26-3: Correlación V_{th} y PSD de los DUTs basado en los datos de las Tablas 3-3 y 4-3.

Realizado por: Berrones Sofia, 2020.

3.8 Análisis de Costos del Estudio

Los costos del estudio realizado se describen en la Tabla 5-3. El costo total del estudio fue de \$902,10.

Dentro del análisis de costos no se consideró los costos de la instrumentación de estrés térmico, estrés eléctrico y medición de ruido de baja frecuencia debido a que son trabajos de titulación anteriores y realizados dentro del Proyecto de Investigación “*Estudio de los efectos de estrés térmico y eléctrico en dispositivos semiconductores de potencia para determinar mecanismos de fallos y degradación en aplicaciones de inversores para sistemas fotovoltaicos*”. Otro costo que no fue considerado es el del equipo para la caracterización tensión – corriente debido a

colaboraciones entre el grupo de investigación GITEA de la Escuela Superior Politécnica de Chimborazo y el Departamento de Microelectrónica de la Universidad San Francisco de Quito.

Tabla 6-3: Descripción de Costos del Estudio.

Etapa del Estudio	Concepto	Inversión [\$]
Adquisición de dispositivos para pruebas	MOSFET IRF820	4,50
	MOSFET IRF740	4,00
	MOSFET IRF630	4,00
	MOSFET IRFZ44	3,50
	MOSFET IRFZ20	3,50
Caracterización I-V	Transporte	40,00
Bancos de Prueba	Placa para estrés de dispositivos	40,20
	Paneles de aislamiento eléctrico	2,40
	Herramientas de trabajo	50,00
Medición LFNM	Transporte	20,00
	Reemplazo de Baterías	45,00
Procesamiento de Datos	Plan de Internet	100,00
	Computador	585,00
Total		902,10

Realizado por: Berrones Sofia, 2020.

CONCLUSIONES

- Se aplicó una prueba de vida acelerada HTRB a dispositivos catalogados y seleccionados disponibles comercialmente en la ciudad de Riobamba. Los parámetros de los bancos de pruebas de estrés fueron 150° C para aplicación de estrés térmico y 120% de voltaje nominal de ruptura para aplicación de estrés eléctrico durante un mínimo de 30 horas. Estos parámetros se establecieron de manera experimental variando la prueba aplicada inicialmente al DUT IRF740.
- Para evidenciar los efectos del estrés se aplicaron pruebas no destructivas mediante técnicas de caracterización corriente-voltaje (I-V) y mediciones de ruido de baja frecuencia (LFNM). La instrumentación utilizada para la realización de este estudio fue un módulo de control de temperatura, una fuente de tensión variable hasta 1200V, un analizador de parámetros Keithley 4200-SCS y un sistema de medición de ruido de baja frecuencia.
- Se puede evidenciar variaciones en el voltaje de umbral en los DUTs, siendo más significativo para el DUT IRF740. Además, los valores LFN incrementaron sustancialmente para todos los DUTs después de las pruebas de estrés.
- Relacionando los cambios de voltaje de umbral con el nivel de ruido flicker, se observa que existe una correlación directa entre estos parámetros. A partir de los resultados de la prueba de estrés y energías de activación es posible inferir que sobre los DUTs se ha activado un mecanismo de degradación conocido como contaminación iónica.
- Convencionalmente una variación del V_{th} durante una prueba de estrés dictamina una degradación o fallo de un dispositivo semiconductor de potencia. Sin embargo, en relación con los resultados presentados, aunque la evidencia de degradación a partir del voltaje de umbral V_{th} no es tan significativa para la mayoría de los DUTs, dicha degradación o mecanismo de falla sí resulta ser evidente desde el punto de vista del nivel de ruido de baja frecuencia.

RECOMENDACIONES

- Se recomienda realizar ciclos más largos de aplicación de estrés térmico y eléctrico, aunque con condiciones de estrés menos severas, para evidenciar otros defectos (mecanismos de degradación) en los dispositivos.
- Se recomienda extender el estudio realizado con la aplicación de los bancos de pruebas de estrés en circuitos integrados para estudiar mecanismos de degradación relacionados con electromigración, entre otros.
- Se recomienda realizar las pruebas de estrés térmico y eléctrico y mediciones de ruido de baja frecuencia en más dispositivos del mismo modelo y del mismo tipo con el objetivo de mejorar la estadística de los resultados, incluso extender el estudio sobre tecnologías emergentes de MOSFETs de potencia como SiC y GaN.
- Se recomienda profundizar el estudio en los dispositivos que mostraron fallas durante el estrés a partir de análisis más específicos y de laboratorio como Microscopia Electrónica, Rayos X, entre otras, a fin de determinar con exactitud los mecanismos de degradación que fueron activados.

GLOSARIO

Amplificadores operacionales: Amplificador de acoplamiento directo que ofrece ganancia muy alta, estabilidad e inmunidad a la oscilación (Kaplan M. 2004, p. 532).

Amplitud gaussiana: Distribución de probabilidad que es simétrica con respecto al valor medio y que disminuye continuamente en valor hasta llegar a cero en cada extremo (Kaplan M. 2004, p. 312).

Banda de valencia: En un sólido cristalino, como un semiconductor, la banda de energía más energética que puede llenarse de electrones (Kaplan M. 2004, p. 830).

Canales conductivos: Canal en el que fluye una corriente de conducción relativamente grande cuando se aplica un potencial entre dos puntos cualesquiera sobre o en un cuerpo construido a partir del material (Graf, 1999, p. 145).

Campo electromagnético: El campo de influencia producido alrededor de un conductor por la corriente que lo atraviesa (Graf, 1999, p. 243).

Conmutación: Proceso mecánico de convertir la corriente alterna en la armadura de los generadores de corriente continua en la salida del generador de corriente continua (Graf, 1999, p. 136)

Constante de Boltzmann: Relaciona la energía promedio de una molécula con su temperatura absoluta (Graf, 1999, p. 79).

Contaminación iónica: Iones implantados en distintas fases del proceso de fabricación empaquetado, proceso de interconexión, ensamblaje, pruebas y operación (Evans y Evans, 2001, p. 228).

Corriente: El movimiento de electrones a través de un conductor. La corriente se mide en amperios, miliamperios, microamperios, nanoamperios o picoamperios (Graf 1999, p. 165).

Corriente máxima de fuga inversa: La corriente a través de un dispositivo cuando un voltaje de polaridad opuesto al normalmente especificado se imprime a través del dispositivo (Graf, 1999, p. 651).

Dieléctrico: Medio aislante (no conductor) entre las dos placas de un condensador. Los dieléctricos típicos son aire, papel impregnado de cera, plástico, mica y cerámica. El vacío es el único dieléctrico perfecto (Graf, 1999, p. 192).

Diodo: Dispositivo electrónico de dos terminales un cátodo y un ánodo que conducirá la electricidad mucho más fácilmente en una dirección que en la otra (Graf, 1999, p. 202).

Disipación térmica: El calor se transfiere de un cuerpo o medio más caliente a un cuerpo o medio más frío (Kaplan M. 2004, p. 337).

Dispositivo semiconductor: Dispositivo capaz de convertir la energía eléctrica de una forma en otra, actuando como interruptores en los circuitos electrónicos de potencia (Lutz et al., 2011, p. 1).

Electrostático: Una forma de energía eléctrica que tiene la capacidad de atraer y retener partículas pequeñas que tienen una carga eléctrica opuesta (Graf, 1999, p. 253).

Electromagnético: Pertenece a los campos eléctricos y magnéticos mutuamente perpendiculares asociados con el movimiento de electrones a través de conductores, como en un electroimán (Graf, 1999, p. 242).

Espectro: La distribución de la amplitud de los componentes de una señal de dominio de tiempo en función de la frecuencia (Graf, 1999, p. 719).

Frecuencias armónicas: Frecuencia de una señal compleja, onda, sonido o vibración que es periódica, un componente cuya frecuencia es un múltiplo mayor de la frecuencia fundamental (Kaplan M. 2004, p. 333).

Impedancia: La oposición total que un circuito o dispositivo ofrece al flujo de CA. Es una cantidad compleja, cuyo componente de número real es resistencia y cuyo componente de número imaginario es reactancia (Kaplan M. 2004, p. 362).

Interferencia electromagnética: Señales interferentes no intencionales generadas dentro o fuera del equipo electrónico (Graf, 1999, p. 243).

Microelectrónica: Todas las técnicas para la fabricación de circuitos electrónicos extremadamente pequeños (Graf, 1999, p. 470).

Polarización: El ligero desplazamiento de la carga positiva en cada átomo cada vez que se coloca un dieléctrico en un campo eléctrico (Graf, 1999, p. 575).

Potencia: La energía disipada en un circuito o componente eléctrico o electrónico que conduce CA o CC (Graf, 1999, p. 581).

Portadores de carga: Un agujero móvil o electrón de conducción en un semiconductor (Graf, 1999, p. 111).

Proceso estocástico: Un proceso aleatorio. La característica de los eventos que cambian las probabilidades de varias respuestas (Graf, 1999, p. 737).

Ondas sinusoidales: Onda cuyo desplazamiento varía según el seno (o coseno) de un ángulo que es proporcional al tiempo, la distancia o ambos (Graf, 1999, p. 701).

Osciloscopio: Una ventana electrónica que muestra variaciones de voltaje en cualquier punto de un circuito al mostrar en forma gráfica en su pantalla la forma de onda real de voltaje trazada contra el tiempo (Graf, 1999, p. 528).

Resistencia: Una propiedad de los conductores que, según sus dimensiones, material y temperatura, determina la corriente producida por una diferencia de potencial dada; esa propiedad de una sustancia que impide la corriente y da como resultado la disipación de energía en forma de calor (Graf, 1999, p. 643).

Ruido de baja frecuencia: El ruido de baja frecuencia también conocido como $1/f^{\gamma}$, es un tipo de fluctuación que se presenta en dispositivos electrónicos (Uscátegui, 2000).

Ruido de corriente: Ruido de baja frecuencia causado por la corriente que fluye en una resistencia, particularmente en resistencias de película y carbono (Graf, 1999, p. 165).

Ruido electrónico: Fluctuaciones aleatorias espontáneas no deseadas de una cantidad eléctrica que se superpone a su valor promedio (Bentley, 2005, p. 98).

Ruido flicker: También denominado efecto de parpadeo debido al parpadeo observado en la corriente de las placas eléctricas (Motchenbacher y Connelly, 1993, p. 26).

Ruptura de avalancha: Una ruptura causada por la acción de un campo eléctrico fuerte que hace que algunos portadores libres ganen suficiente energía para liberar nuevos pares de electrones por ionización (Graf, 1999, p. 49).

Serie de Fourier: Un análisis matemático que permite que cualquier forma de onda compleja se resuelva en un elemento fundamental: más un número finito de términos relacionados con sus armónicos (Graf, 1999, p. 301).

Voltaje: La fuerza que causa corriente a través del conductor eléctrico. La mayor diferencia efectiva de potencial entre cualquiera de los dos conductores de un circuito (Graf, 1999, p. 835).

Voltaje de umbral: El voltaje al que una unión pn comienza a conducir corriente. 4. El voltaje mínimo de puerta necesario para encender un dispositivo de modo de mejora MOS (Graf, 1999, p. 782).

Voltaje de ruptura: La tensión de polarización inversa aplicada a una unión pn para la cual se extraen grandes corrientes para aumentos relativamente pequeños de la tensión (Graf, 1999, p. 83).

BIBLIOGRAFÍA

ARRHENIUS, S. "Über die Dissociationswärme und den Einfluss der Temperatur auf den Dissociationsgrad der Elektrolyte". *Zeitschrift für Physikalische Chemie*, vol. 4U, no. 1 (1889), pp. 96-116. ISSN 2196-7156, 0942-9352.

BALANDIN, A.A. "Low-frequency $1/f$ noise in graphene devices". *Nature Nanotechnology*, vol. 8, no. 8 (2013), pp. 549-555. ISSN 1748-3395.

BARCIA MACÍAS, R.M. Desarrollo de un sistema de medición de ruido de baja frecuencia para caracterización de canales conductivos en dispositivos electrónicos [en línea] (Trabajo de Titulación). (Pregrado) Escuela Superior Politécnica de Chimborazo, Riobamba, Ecuador. 2019 [Consulta: 26 febrero 2020]. Disponible en: <http://dspace.espoch.edu.ec/handle/123456789/13669>.

BAYLE, F. & METTAS, A. "Temperature acceleration models in reliability predictions: Justification improvements". *2010 Proceedings - Annual Reliability and Maintainability Symposium (RAMS)*. 2010, pp. 1-6.

BAZU, M. & BAJENESCU, T. *Failure Analysis: A Practical Guide for Manufacturers of Electronic Components and Systems* [en línea]. Hoboken, UNITED KINGDOM: John Wiley & Sons Incorporated, 2011. [Consulta: 7 abril 2019]. Disponible en: <http://ebookcentral.proquest.com/lib/espoch/detail.action?docID=675196>.

BELAÏD, M.A; et al. "Reliability study of power RF LDMOS device under thermal stress". *Microelectronics Journal*, vol. 38, no. 2 (2007), pp. 164-170. ISSN 0026-2692.

BENTLEY, J.P. *Principles of Measurement Systems*. S.l.: Pearson Prentice Hall, 2005. ISBN 978-0-13-043028-1.

BOSE, B.K. "Global Energy Scenario and Impact of Power Electronics in 21st Century". *IEEE Transactions on Industrial Electronics*, vol. 60, no. 7 (2013), pp. 2638-2651. ISSN 0278-0046.

BUCCI, D. *Analog Electronics for Measuring Systems*. 1 edition. Hoboken, NJ: Wiley-ISTE, 2017. ISBN 978-1-78630-148-2.

BUCCI, D. Introduction to Noise Analysis in Low Frequency Circuits. *Analog Electronics for Measuring Systems*. 1ra. Hoboken, NJ: Wiley-ISTE, 2017, pp. 123-152. ISBN 978-1-78630-148-2.

CHEN, X.Y; et al. "Effect of electrical and thermal stress on low-frequency noise characteristics of laser diodes". *Microelectronics Reliability*, vol. 41, no. 1 (2001), pp. 105-110. ISSN 0026-2714.

CHO, K; et al. "Electric Stress-Induced Threshold Voltage Instability of Multilayer MoS₂ Field Effect Transistors". *ACS Nano*, vol. 7, no. 9 (2013), pp. 7751-7758. ISSN 1936-0851.

CHYE, V.E.I.E.U. "Universal multichannel system for low frequency noise measurement". *2017 International Siberian Conference on Control and Communications (SIBCON)*. S.l.: s.n (2017), pp. 1-5.

CIOFI, C. & NERI, B. "Low-frequency noise measurements as a characterization tool for degradation phenomena in solid-state device". *Journal of Physics D: Applied Physics*, vol. 33, no. 21 (2000), pp. R199. ISSN 0022-3727.

CIOFI, C. & NERI, B. "Low frequency noise measurements: Applications, methodologies and instrumentation". *Proceedings of SPIE - The International Society for Optical Engineering*, vol. 5113, (2003).

CLAEYS, C; et al. "Low Frequency Noise Performance of State-of-the-Art and Emerging CMOS Devices". *ECS Transactions*, vol. 45, no. 3 (2012), pp. 567-580. ISSN 1938-6737, 1938-5862.

CONSENTINO, G; et al. "Innovative instrumentation for HTRB tests on semiconductor power devices". S.l.: s.n. (2013), pp. 1-5. ISBN 978-88-87237-34-4.

COOK, B.E. "Electronic Noise and Instrumentation". *Measurement and Control*, vol. 12, no. 8 (1979), pp. 326-335. ISSN 0020-2940.

CRECRAFT, D. & GERGELY, S. *Analog Electronics: Circuits, Systems and Signal Processing*. S.l.: Elsevier, 2002. ISBN 978-0-08-047583-7.

DAVIS, L. Transistor Case Package, TO-220 Style Power Package, 3-Terminals. [en línea]. 2015. [Consulta: 29 agosto 2019]. Disponible en: <http://www.interfacebus.com/semiconductor-transistor-packages-TO-220.html>.

DEEN, M.J. "Low-frequency noise in semiconductor devices - state-of-the-art and future perspectives plenary paper". *2017 International Conference on Noise and Fluctuations (ICNF)*. S.l.: s.n. (2017), pp. 1-4.

EVANS, J.W. & EVANS, J.Y. *Product Integrity and Reliability in Design* [en línea]. London: Springer-Verlag, 2001. [Consulta: 15 marzo 2020]. ISBN 978-1-85233-215-0. Disponible en: <https://www.springer.com/la/book/9781852332150>.

FLEETWOOD, D.M. "1/f Noise and Defects in Microelectronic Materials and Devices". *IEEE Transactions on Nuclear Science*, vol. 62, no. 4 (2015), pp. 1462-1486. ISSN 0018-9499.

FLOYD, T.L. *Dispositivos Electrónicos*. Octava Edición. Mexico: Pearson Education, 2008.

GRAF, R. *Modern Dictionary of Electronics* [en línea]. 7th ed. S.l.: Newnes, 1999. [Consulta: 26 junio 2020]. ISBN 978-0-7506-9866-5. Disponible en: <http://gen.lib.rus.ec/book/index.php?md5=441eaec2f475d6cddb81040611d74c8>.

GUPTA, S.S.V. & SAXENA, S. "A Review on VDMOS as a Power MOSFET". *IOSR Journal of Electronics and Communication Engineering*, (2017), pp. 6.

HAARTMAN, M. von & ÖSTLING, M. *Low-Frequency Noise in Advanced MOS Devices* [en línea]. S.l.: Springer Netherlands, 2007. [Consulta: 6 abril 2019]. Analog Circuits and Signal Processing. ISBN 978-1-4020-5909-4. Disponible en: <https://www.springer.com/la/book/9781402059094>.

HART, D.W. *Electrónica de Potencia*. Madrid: Pearson Educación, 2001.

HERNANDEZ, J.L. & PACE, C. "Embedded mini-Heater design for power loss remote measurement and thermal runaway control on power devices for Accelerated Life Testing". *2016 IEEE Ecuador Technical Chapters Meeting (ETCM)*. S.l.: s.n. (2016), pp. 1-6.

HOOGE, F.N; et al. "Experimental studies on 1/f noise". *Reports on Progress in Physics*, vol. 44, no. 5 (1981), pp. 479–532. ISSN 0034-4885.

HOWARD, R.M. *Principles of Random Signal Analysis and Low Noise Design: The Power Spectral Density and its Applications*. United States: John Wiley & Sons, 2003. ISBN 978-0-471-46083-1.

KAPLAN M., S. *Wiley Electrical and Electronics Engineering Dictionary* [en línea]. S.l.: Wiley - IEEE Press, 2004. [Consulta: 26 junio 2020]. ISBN 978-1-61583-854-7. Disponible en: <http://gen.lib.rus.ec/book/index.php?md5=1680098932ecf686d9348ca018974d30>.

KASAP, S. & CAPPER, P. *Springer Handbook of Electronic and Photonic Materials* [en línea]. 2. S.l.: Springer International Publishing, 2017. [Consulta: 27 febrero 2020]. Springer Handbooks. ISBN 978-3-319-48931-5. Disponible en: <https://www.springer.com/gp/book/9783319489315>.

KAYIS, C; et al. "Low-frequency noise measurements of electrical stress in InAlN/GaN and AlGaIn/GaN heterostructure field-effect transistors". *Gallium Nitride Materials and Devices VI* [en línea], 2011. S.l.: International Society for Optics and Photonics, pp. 79392G. [Consulta: 1 noviembre 2019]. Disponible en: <https://www.spiedigitallibrary.org/conference-proceedings-of-spie/7939/79392G/Low-frequency-noise-measurements-of-electrical-stress-in-InAlN-GaN/10.1117/12.875723.short>.

LALL, P; et al. *Influence of Temperature on Microelectronics and System Reliability: A Physics of Failure Approach*. S.l.: CRC Press, 1997. ISBN 978-0-8493-9450-8.

LUTZ, J; et al. *Semiconductor Power Devices: Physics, Characteristics, Reliability* [en línea]. Berlin Heidelberg: Springer-Verlag, 2011. [Consulta: 13 abril 2019]. ISBN 978-3-642-11124-2. Disponible en: <https://www.springer.com/gp/book/9783642111242>.

MALIK, N.R. *Circuitos Electrónicos: Análisis, Simulación y Diseño*. S.l.: s.n, 2000.

MARINOV, O. "The low frequency noise in HFETs estimates the effect of electrical stress". *Microelectronics Reliability*, vol. 40, no. 11 (2000), pp. 1959-1963. ISSN 0026-2714.

MARINOV, O. & DEEN, M.J. "Low-Frequency Noise Partition of Asymmetric MOS Transistors Operating in Linear Regime". *IEEE Electron Device Letters*, vol. 30, no. 8 (2009), pp. 840-842. ISSN 0741-3106.

MARINOV, O; et al. "The low frequency noise in reverse biased rectifier diodes". *IEEE Transactions on Electron Devices*, vol. 49, no. 1 (2002), pp. 184-187. ISSN 0018-9383.

MCWHORTER, A.L. "Semiconductor surface physics". *Conference on the Physics of Semiconductor Surfaces held at Philadelphia, Pennsylvania, June 4-6, 1956*. Philadelphia: s.n (1957).

MOREAU, S; et al. "Comparative study of thermal cycling and thermal shocks tests on electronic components reliability". *Microelectronics Reliability*, vol. 44, no. 9 (2004), pp. 1343-1347. ISSN 0026-2714.

MOTCHENBACHER, C.D. & CONNELLY, J.A. *Low noise electronic system design*. Wiley: s.n, 1993.

MUKHERJEE, C. & MAITI, C.K. *Physics of Semiconductor Devices. Stress-induced Degradation and Defect Studies in Strained-Si/SiGe MOSFETs*. En: V.K. JAIN y A. VERMA (eds.). Cham: Springer International Publishing, 2014, pp. 17-20. ISBN 978-3-319-03002-9.

NEAMEN, D.A. *Semiconductor Physics and Devices: Basic Principles*. S.l.: McGraw-Hill, 2012. ISBN 978-0-07-108902-9.

ORTIZ CONDE, A. A review of recent MOSFET threshold voltage extraction methods. *Microelectronics Reliability*, vol. 42, no. 4-5 (2002), pp. 583-596. ISSN 0026-2714.

PACE, C; et al. "A Novel Instrumentation for an Advanced High Temperature Reverse Bias (HTRB) Testing on Power Transistors". *Applications in Electronics Pervading Industry, Environment and Society*. S.l.: Springer International Publishing, (2017), pp. 133-142. ISBN 978-3-319-47913-2.

PACE, C; et al. "A New Effective Methodology for Semiconductor Power Devices HTRB Testing". *IEEE Transactions on Industrial Electronics*, vol. 64, no. 6 (2017), pp. 4857-4865. ISSN 0278-0046, 1557-9948.

PASCOE, N. *Reliability Technology: Principles and Practice of Failure Prevention in Electronic Systems* [en línea]. Hoboken, UNITED KINGDOM: John Wiley & Sons, Incorporated, 2011. [Consulta: 9 agosto 2019]. ISBN 978-0-470-98011-8. Disponible en: <http://ebookcentral.proquest.com/lib/epoch/detail.action?docID=675299>.

SANDOVAL IBARRA, F; et al. "Análisis, modelado y simulación del ruido flicker en transistores MOS". *Acta Universitaria* [en línea], 2013, vol. 23, no. 5. [Consulta: 4 noviembre 2018]. ISSN 0188-6266. Disponible en: <http://www.redalyc.org/resumen.oa?id=41629559003>.

SCHOLZ, F; et al. "Low Frequency noise and DLTS as Semiconductor Device Characterization Tools". *Solid-State Electronics*, vol. 31, no. 2 (1998), pp. 205-217.

SEZGIN-UGRANLI, H.G. & ÖZÇELEP, Y. "Investigation of VDMOSFET's switching power dissipation changes under constant electrical stress". *Microelectronics Journal*, vol. 78, (2018), pp. 81-87. ISSN 0026-2692.

SMET, V; et al. "Ageing and Failure Modes of IGBT Modules in High-Temperature Power Cycling". *IEEE Transactions on Industrial Electronics*, vol. 58, no. 10 (2011), pp. 4931-4941. ISSN 0278-0046.

TEKTRONIX. Keithley 4200A-SCS Parameter Analyzer | Tektronix. [en línea]. [Consulta: 26 febrero 2020]. Disponible en: <https://www.tek.com/keithley-4200a-scs-parameter-analyzer>.

TORO SÁNCHEZ, A.F. Implementación de un prototipo de fuente de alimentación de 1200v de baja corriente para pruebas de estrés eléctrico en transistores de potencia (Trabajo de Titulación). (Pregrado) Escuela Superior Politécnica de Chimborazo, Riobamba, Ecuador. 2020.

USCÁTEGUI, Á.B. "El Ruido 1/f". *Ingeniería*, vol. 5, no. 1 (2000), pp. 28-36. ISSN 0121-750X.

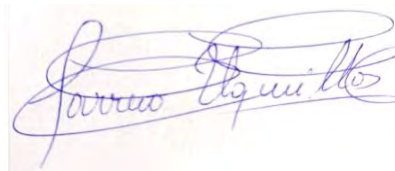
VAN RHEENEN, A.D; et al. "Low Frequency noise measurements as a Tool to Analyze Deep-Level Impurities in Semiconductor Devices". *Solid-State Electronics*, vol. 30, no. 3 (1987), pp. 259-265.

VASILESCU, G. *Electronic Noise and Interfering Signals: Principles and Applications* [en línea]. Berlin Heidelberg: Springer-Verlag, 2005. [Consulta: 11 abril 2019]. ISBN 978-3-540-40741-6. Disponible en: <https://www.springer.com/us/book/9783540407416>.

VISHAY. *Package Information TO-220-1* [en línea]. 2015. S.l.: s.n. Disponible en: <https://www.vishay.com/docs/66542/to-220-1.pdf>.

WONG, H. "Low-frequency noise study in electron devices: review and update". *Microelectronics Reliability*, vol. 43, no. 4 (2003), pp. 585-599. ISSN 0026-2714.

YANG, L. & CASTELLAZZI, A. "High temperature gate-bias and reverse-bias tests on SiC MOSFETs". *Microelectronics Reliability*, vol. 53, no. 9 (2013), pp. 1771-1773. ISSN 0026-2714.



22-04-2020

0093-DBRAI-UPT-2020

ANEXO A: HOJA TÉCNICA DE DATOS DE MOSFET IRF820



IRF820, SiHF820

Vishay Siliconix

Power MOSFET

PRODUCT SUMMARY		
V_{DS} (V)	500	
$R_{DS(on)}$ (Ω)	$V_{GS} = 10\text{ V}$	3.0
Q_g (Max.) (nC)	24	
Q_{gs} (nC)	3.3	
Q_{gd} (nC)	13	
Configuration	Single	

FEATURES

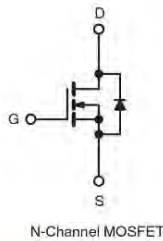
- Dynamic dV/dt Rating
- Repetitive Avalanche Rated
- Fast Switching
- Ease of Paralleling
- Simple Drive Requirements
- Compliant to RoHS Directive 2002/95/EC



DESCRIPTION

Third generation Power MOSFETs from Vishay provide the designer with the best combination of fast switching, ruggedized device design, low on-resistance and cost-effectiveness.

The TO-220AB package is universally preferred for commercial-industrial applications at power dissipation levels to approximately 50 W. The low thermal resistance and low package cost of the TO-220AB contribute to its wide acceptance throughout the industry.



ORDERING INFORMATION	
Package	TO-220AB
Lead (Pb)-free	IRF820PbF SiHF820-E3
SnPb	IRF820 SiHF820

ABSOLUTE MAXIMUM RATINGS ($T_C = 25\text{ }^\circ\text{C}$, unless otherwise noted)			
PARAMETER	SYMBOL	LIMIT	UNIT
Drain-Source Voltage	V_{DS}	500	V
Gate-Source Voltage	V_{GS}	± 20	
Continuous Drain Current	I_D	V_{GS} at 10 V, $T_C = 25\text{ }^\circ\text{C}$	2.5
		$T_C = 100\text{ }^\circ\text{C}$	1.6
Pulsed Drain Current ^a	I_{DM}	8.0	A
Linear Derating Factor		0.40	W/ $^\circ\text{C}$
Single Pulse Avalanche Energy ^b	E_{AS}	210	mJ
Repetitive Avalanche Current ^a	I_{AR}	2.5	A
Repetitive Avalanche Energy ^a	E_{AR}	5.0	mJ
Maximum Power Dissipation	P_D	50	W
Peak Diode Recovery dV/dt ^c	dV/dt	3.5	V/ns
Operating Junction and Storage Temperature Range	T_J, T_{stg}	- 55 to + 150	$^\circ\text{C}$
Soldering Recommendations (Peak Temperature)	for 10 s	300 ^d	
Mounting Torque	6-32 or M3 screw	10	lbf · in
		1.1	N · m

Notes

- Repetitive rating; pulse width limited by maximum junction temperature (see fig. 11).
- $V_{DD} = 50\text{ V}$, starting $T_J = 25\text{ }^\circ\text{C}$, $L = 60\text{ mH}$, $R_g = 25\text{ }\Omega$, $I_{AS} = 2.5\text{ A}$ (see fig. 12).
- $I_{SD} \leq 2.5\text{ A}$, $dI/dt \leq 50\text{ A}/\mu\text{s}$, $V_{DD} \leq V_{DS}$, $T_J \leq 150\text{ }^\circ\text{C}$.
- 1.6 mm from case.

* Pb containing terminations are not RoHS compliant, exemptions may apply

Document Number: 91059
S11-0507-Rev. C, 21-Mar-11

www.vishay.com

This datasheet is subject to change without notice.



THE PRODUCT DESCRIBED HEREIN AND THIS DATASHEET ARE SUBJECT TO SPECIFIC DISCLAIMERS, SET FORTH AT www.vishay.com/doc?91000

IRF820, SiHF820

Vishay Siliconix



THERMAL RESISTANCE RATINGS				
PARAMETER	SYMBOL	TYP.	MAX.	UNIT
Maximum Junction-to-Ambient	R_{thJA}	-	62	°C/W
Case-to-Sink, Flat, Greased Surface	R_{thCS}	0.50	-	
Maximum Junction-to-Case (Drain)	R_{thJC}	-	2.5	

SPECIFICATIONS ($T_J = 25\text{ }^\circ\text{C}$, unless otherwise noted)						
PARAMETER	SYMBOL	TEST CONDITIONS	MIN.	TYP.	MAX.	UNIT
Static						
Drain-Source Breakdown Voltage	V_{DS}	$V_{GS} = 0\text{ V}, I_D = 250\text{ }\mu\text{A}$	500	-	-	V
V_{DS} Temperature Coefficient	$\Delta V_{DS}/T_J$	Reference to $25\text{ }^\circ\text{C}, I_D = 1\text{ mA}$	-	0.59	-	V/°C
Gate-Source Threshold Voltage	$V_{GS(th)}$	$V_{DS} = V_{GS}, I_D = 250\text{ }\mu\text{A}$	2.0	-	4.0	V
Gate-Source Leakage	I_{GSS}	$V_{GS} = \pm 20\text{ V}$	-	-	± 100	nA
Zero Gate Voltage Drain Current	I_{DSS}	$V_{DS} = 500\text{ V}, V_{GS} = 0\text{ V}$	-	-	25	μA
		$V_{DS} = 400\text{ V}, V_{GS} = 0\text{ V}, T_J = 125\text{ }^\circ\text{C}$	-	-	250	
Drain-Source On-State Resistance	$R_{DS(on)}$	$V_{GS} = 10\text{ V}, I_D = 1.5\text{ A}^b$	-	-	3.0	Ω
Forward Transconductance	g_{fs}	$V_{DS} = 50\text{ V}, I_D = 1.5\text{ A}$	1.5	-	-	S
Dynamic						
Input Capacitance	C_{iss}	$V_{GS} = 0\text{ V}, V_{DS} = 25\text{ V}, f = 1.0\text{ MHz}, \text{ see fig. 5}$	-	360	-	pF
Output Capacitance	C_{oss}		-	92	-	
Reverse Transfer Capacitance	C_{rss}		-	37	-	
Total Gate Charge	Q_g	$V_{GS} = 10\text{ V}, I_D = 2.1\text{ A}, V_{DS} = 400\text{ V}, \text{ see fig. 6 and 13}^b$	-	-	24	nC
Gate-Source Charge	Q_{gs}		-	-	3.3	
Gate-Drain Charge	Q_{gd}		-	-	13	
Turn-On Delay Time	$t_{d(on)}$	$V_{DD} = 250\text{ V}, I_D = 2.1\text{ A}, R_g = 18\text{ }\Omega, R_D = 100\text{ }\Omega, \text{ see fig. 10}^b$	-	8.0	-	ns
Rise Time	t_r		-	8.6	-	
Turn-Off Delay Time	$t_{d(off)}$		-	33	-	
Fall Time	t_f		-	16	-	
Internal Drain Inductance	L_D		Between lead, 6 mm (0.25") from package and center of die contact 	-	4.5	
Internal Source Inductance	L_S		-	7.5	-	
Drain-Source Body Diode Characteristics						
Continuous Source-Drain Diode Current	I_S	MOSFET symbol showing the integral reverse p - n junction diode 	-	-	2.5	A
Pulsed Diode Forward Current ^a	I_{SM}		-	-	8.0	
Body Diode Voltage	V_{SD}	$T_J = 25\text{ }^\circ\text{C}, I_S = 2.5\text{ A}, V_{GS} = 0\text{ V}^b$	-	-	1.6	V
Body Diode Reverse Recovery Time	t_{rr}	$T_J = 25\text{ }^\circ\text{C}, I_F = 2.1\text{ A}, di/dt = 100\text{ A}/\mu\text{s}$	-	260	520	ns
Body Diode Reverse Recovery Charge	Q_{rr}		-	0.7	1.4	nC
Forward Turn-On Time	t_{on}	Intrinsic turn-on time is negligible (turn-on is dominated by L_S and L_D)				

Notes

- a. Repetitive rating; pulse width limited by maximum junction temperature (see fig. 11).
- b. Pulse width $\leq 300\text{ }\mu\text{s}$; duty cycle $\leq 2\%$.



IRF740, SiHF740

Vishay Siliconix

Power MOSFET

PRODUCT SUMMARY		
V_{DS} (V)	400	
$R_{DS(on)}$ (Ω)	$V_{GS} = 10\text{ V}$	0.55
Q_g (Max.) (nC)	63	
Q_{gs} (nC)	9.0	
Q_{gd} (nC)	32	
Configuration	Single	

FEATURES

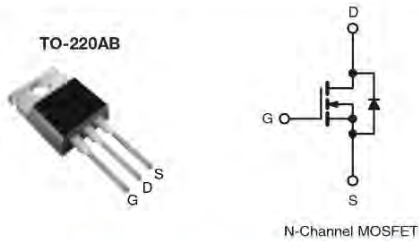
- Dynamic dV/dt Rating
- Repetitive Avalanche Rated
- Fast Switching
- Ease of Paralleling
- Simple Drive Requirements
- Compliant to RoHS Directive 2002/95/EC



DESCRIPTION

Third generation Power MOSFETs from Vishay provide the designer with the best combination of fast switching, ruggedized device design, low on-resistance and cost-effectiveness.

The TO-220AB package is universally preferred for all commercial-industrial applications at power dissipation levels to approximately 50 W. The low thermal resistance and low package cost of the TO-220AB contribute to its wide acceptance throughout the industry.



ORDERING INFORMATION	
Package	TO-220AB
Lead (Pb)-free	IRF740PbF SiHF740-E3
SnPb	IRF740 SiHF740

ABSOLUTE MAXIMUM RATINGS ($T_C = 25\text{ }^\circ\text{C}$, unless otherwise noted)					
PARAMETER	SYMBOL		LIMIT	UNIT	
Drain-Source Voltage	V_{DS}		400	V	
Gate-Source Voltage	V_{GS}		± 20		
Continuous Drain Current	V_{GS} at 10 V	$T_C = 25\text{ }^\circ\text{C}$	10	A	
		$T_C = 100\text{ }^\circ\text{C}$	6.3		
Pulsed Drain Current ^a	I_{DM}		40		
Linear Derating Factor			1.0	$W/^\circ\text{C}$	
Single Pulse Avalanche Energy ^b	E_{AS}		520	mJ	
Repetitive Avalanche Current ^a	I_{AR}		10	A	
Repetitive Avalanche Energy ^a	E_{AR}		13	mJ	
Maximum Power Dissipation	$T_C = 25\text{ }^\circ\text{C}$		P_D	125	W
Peak Diode Recovery dV/dt ^c			dV/dt	4.0	V/ns
Operating Junction and Storage Temperature Range	T_J, T_{stg}		- 55 to + 150	$^\circ\text{C}$	
Soldering Recommendations (Peak Temperature)	for 10 s		300 ^d		
Mounting Torque	6-32 or M3 screw		10	lbf · in	
			1.1	N · m	

Notes

- Repetitive rating; pulse width limited by maximum junction temperature (see fig. 11).
- $V_{DD} = 50\text{ V}$, starting $T_J = 25\text{ }^\circ\text{C}$, $L = 9.1\text{ mH}$, $R_G = 25\text{ }\Omega$, $I_{AS} = 10\text{ A}$ (see fig. 12).
- $I_{SD} \leq 10\text{ A}$, $dI/dt \leq 120\text{ A}/\mu\text{s}$, $V_{DD} \leq V_{DS}$, $T_J \leq 150\text{ }^\circ\text{C}$.
- 1.6 mm from case.



* Pb containing terminations are not RoHS compliant, exemptions may apply

IRF740, SiHF740

Vishay Siliconix



THERMAL RESISTANCE RATINGS				
PARAMETER	SYMBOL	TYP.	MAX.	UNIT
Maximum Junction-to-Ambient	R_{thJA}	-	62	°C/W
Case-to-Sink, Flat, Greased Surface	R_{thCS}	0.50	-	
Maximum Junction-to-Case (Drain)	R_{thJC}	-	1.0	

SPECIFICATIONS ($T_J = 25\text{ }^\circ\text{C}$, unless otherwise noted)						
PARAMETER	SYMBOL	TEST CONDITIONS	MIN.	TYP.	MAX.	UNIT
Static						
Drain-Source Breakdown Voltage	V_{DS}	$V_{GS} = 0\text{ V}, I_D = 250\text{ }\mu\text{A}$	400	-	-	V
V_{DS} Temperature Coefficient	$\Delta V_{DS}/T_J$	Reference to $25\text{ }^\circ\text{C}, I_D = 1\text{ mA}$	-	0.49	-	V/°C
Gate-Source Threshold Voltage	$V_{GS(th)}$	$V_{DS} = V_{GS}, I_D = 250\text{ }\mu\text{A}$	2.0	-	4.0	V
Gate-Source Leakage	I_{GSS}	$V_{GS} = \pm 20\text{ V}$	-	-	± 100	nA
Zero Gate Voltage Drain Current	I_{DSS}	$V_{DS} = 400\text{ V}, V_{GS} = 0\text{ V}$	-	-	25	μA
		$V_{DS} = 320\text{ V}, V_{GS} = 0\text{ V}, T_J = 125\text{ }^\circ\text{C}$	-	-	250	
Drain-Source On-State Resistance	$R_{DS(on)}$	$V_{GS} = 10\text{ V}, I_D = 6.0\text{ A}^b$	-	-	0.55	Ω
Forward Transconductance	g_{fs}	$V_{DS} = 50\text{ V}, I_D = 6.0\text{ A}^b$	5.8	-	-	S
Dynamic						
Input Capacitance	C_{iss}	$V_{GS} = 0\text{ V},$ $V_{DS} = 25\text{ V},$ $f = 1.0\text{ MHz},$ see fig. 5	-	1400	-	pF
Output Capacitance	C_{oss}		-	330	-	
Reverse Transfer Capacitance	C_{rss}		-	120	-	
Total Gate Charge	Q_g	$V_{GS} = 10\text{ V},$ $I_D = 10\text{ A}, V_{DS} = 320\text{ V},$ see fig. 6 and 13 ^b	-	-	63	nC
Gate-Source Charge	Q_{gs}		-	-	9.0	
Gate-Drain Charge	Q_{gd}		-	-	32	
Turn-On Delay Time	$t_{d(on)}$	$V_{DD} = 200\text{ V}, I_D = 10\text{ A}$ $R_g = 9.1\text{ }\Omega, R_D = 20\text{ }\Omega,$ see fig. 10 ^b	-	14	-	ns
Rise Time	t_r		-	27	-	
Turn-Off Delay Time	$t_{d(off)}$		-	50	-	
Fall Time	t_f		-	24	-	
Internal Drain Inductance	L_D	Between lead, 6 mm (0.25") from package and center of die contact 	-	4.5	-	nH
Internal Source Inductance	L_S		-	7.5	-	
Drain-Source Body Diode Characteristics						
Continuous Source-Drain Diode Current	I_S	MOSFET symbol showing the integral reverse p - n junction diode 	-	-	10	A
Pulsed Diode Forward Current ^a	I_{SM}		-	-	40	
Body Diode Voltage	V_{SD}	$T_J = 25\text{ }^\circ\text{C}, I_S = 10\text{ A}, V_{GS} = 0\text{ V}^b$	-	-	2.0	V
Body Diode Reverse Recovery Time	t_{rr}	$T_J = 25\text{ }^\circ\text{C}, I_F = 10\text{ A}, dI/dt = 100\text{ A}/\mu\text{s}^b$	-	370	790	ns
Body Diode Reverse Recovery Charge	Q_{rr}		-	3.8	8.2	μC
Forward Turn-On Time	t_{on}	Intrinsic turn-on time is negligible (turn-on is dominated by L_S and L_D)				

Notes

- Repetitive rating; pulse width limited by maximum junction temperature (see fig. 11).
- Pulse width $\leq 300\text{ }\mu\text{s}$; duty cycle $\leq 2\%$.

ANEXO C: HOJA TÉCNICA DE DATOS DE MOSFET IRF630



IRF630, SiHF630

Vishay Siliconix

Power MOSFET

PRODUCT SUMMARY	
V_{DS} (V)	200
$R_{DS(on)}$ (Ω)	$V_{GS} = 10\text{ V}$ 0.40
Q_g (Max.) (nC)	43
Q_{gs} (nC)	7.0
Q_{gd} (nC)	23
Configuration	Single

FEATURES

- Dynamic dV/dt Rating
- Repetitive Avalanche Rated
- Fast Switching
- Ease of Paralleling
- Simple Drive Requirements
- Compliant to RoHS Directive 2002/95/EC

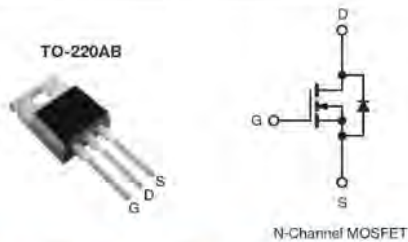


RoHS*
COMPLIANT

DESCRIPTION

Third generation Power MOSFETs from Vishay provide the designer with the best combination of fast switching, ruggedized device design, low on-resistance and cost-effectiveness.

The TO-220AB package is universally preferred for all commercial-industrial applications at power dissipation levels to approximately 50 W. The low thermal resistance and low package cost of the TO-220AB contribute to its wide acceptance throughout the industry.



ORDERING INFORMATION	
Package	TO-220AB
Lead (Pb)-free	IRF630PbF SiHF630-E3
SnPb	IRF630 SiHF630

ABSOLUTE MAXIMUM RATINGS ($T_C = 25\text{ }^\circ\text{C}$, unless otherwise noted)				
PARAMETER		SYMBOL	LIMIT	UNIT
Drain-Source Voltage		V_{DS}	200	V
Gate-Source Voltage		V_{GS}	± 20	V
Continuous Drain Current	V_{GS} at 10 V	I_D	$T_C = 25\text{ }^\circ\text{C}$	9.0
			$T_C = 100\text{ }^\circ\text{C}$	5.7
Pulsed Drain Current ^a		I_{DM}	36	A
Linear Derating Factor			0.59	W/ $^\circ\text{C}$
Single Pulse Avalanche Energy ^b		E_{AS}	250	mJ
Repetitive Avalanche Current ^a		I_{AR}	9.0	A
Repetitive Avalanche Energy ^a		E_{AR}	7.4	mJ
Maximum Power Dissipation	$T_C = 25\text{ }^\circ\text{C}$	P_D	74	W
Peak Diode Recovery dV/dt ^c		dV/dt	5.0	V/ns
Operating Junction and Storage Temperature Range		T_J, T_{stg}	-55 to +150	$^\circ\text{C}$
Soldering Recommendations (Peak Temperature)	for 10 s		300 ^d	$^\circ\text{C}$
Mounting Torque	6-32 or M3 screw		10	lbf · in
			1.1	N · m

Notes

- Repetitive rating; pulse width limited by maximum junction temperature (see fig. 11).
- $V_{DD} = 50\text{ V}$, starting $T_J = 25\text{ }^\circ\text{C}$; $L = 4.6\text{ mH}$, $R_g = 25\text{ }\Omega$, $I_{AS} = 9.0\text{ A}$ (see fig. 12).
- $I_{SD} \leq 9.0\text{ A}$, $dI/dt \leq 120\text{ A}/\mu\text{s}$, $V_{DD} \leq V_{DS}$, $T_J \leq 150\text{ }^\circ\text{C}$.
- 1.6 mm from case.

* Pb containing terminations are not RoHS compliant, exemptions may apply

Document Number: 91031
S11-0509-Rev. B, 21-Mar-11

www.vishay.com

1

This datasheet is subject to change without notice.



THE PRODUCT DESCRIBED HEREIN AND THIS DATASHEET ARE SUBJECT TO SPECIFIC DISCLAIMERS, SET FORTH AT www.vishay.com/doc?91000

IRF630, SiHF630

Vishay Siliconix



THERMAL RESISTANCE RATINGS				
PARAMETER	SYMBOL	TYP.	MAX.	UNIT
Maximum Junction-to-Ambient	$R_{\theta JA}$	-	62	°C/W
Case-to-Sink, Flat, Greased Surface	$R_{\theta CS}$	0.50	-	
Maximum Junction-to-Case (Drain)	$R_{\theta JC}$	-	1.7	

SPECIFICATIONS ($T_J = 25^\circ\text{C}$, unless otherwise noted)						
PARAMETER	SYMBOL	TEST CONDITIONS	MIN.	TYP.	MAX.	UNIT
Static						
Drain-Source Breakdown Voltage	V_{DS}	$V_{GS} = 0\text{ V}, I_D = 250\ \mu\text{A}$	200	-	-	V
V_{DS} Temperature Coefficient	$\Delta V_{DS}/T_J$	Reference to 25°C , $I_D = 1\text{ mA}$	-	0.24	-	V/°C
Gate-Source Threshold Voltage	$V_{GS(th)}$	$V_{DS} = V_{GS}, I_D = 250\ \mu\text{A}$	2.0	-	4.0	V
Gate-Source Leakage	I_{GSS}	$V_{GS} = \pm 20\text{ V}$	-	-	± 100	nA
Zero Gate Voltage Drain Current	I_{DSS}	$V_{DS} = 200\text{ V}, V_{GS} = 0\text{ V}$	-	-	25	μA
		$V_{DS} = 160\text{ V}, V_{GS} = 0\text{ V}, T_J = 125^\circ\text{C}$	-	-	250	
Drain-Source On-State Resistance	$R_{DS(on)}$	$V_{GS} = 10\text{ V}, I_D = 5.4\text{ A}^b$	-	-	0.40	Ω
Forward Transconductance	g_{fs}	$V_{DS} = 50\text{ V}, I_D = 5.4\text{ A}$	3.8	-	-	S
Dynamic						
Input Capacitance	C_{iss}	$V_{GS} = 0\text{ V}, V_{DS} = 25\text{ V}, f = 1.0\text{ MHz}$, see fig. 5	-	800	-	pF
Output Capacitance	C_{oss}		-	240	-	
Reverse Transfer Capacitance	C_{rss}		-	76	-	
Total Gate Charge	Q_g	$V_{GS} = 10\text{ V}, I_D = 5.9\text{ A}, V_{DS} = 160\text{ V}$, see fig. 6 and 13 ^b	-	-	43	nC
Gate-Source Charge	Q_{gs}		-	-	7.0	
Gate-Drain Charge	Q_{gd}		-	-	23	
Turn-On Delay Time	$t_{d(on)}$	$V_{DD} = 100\text{ V}, I_D = 5.9\text{ A}, R_g = 12\ \Omega, R_D = 16\ \Omega$, see fig. 10 ^b	-	9.4	-	ns
Rise Time	t_r		-	28	-	
Turn-Off Delay Time	$t_{d(off)}$		-	39	-	
Fall Time	t_f		-	20	-	
Internal Drain Inductance	L_D	Between lead, 6 mm (0.25") from package and center of die contact 	-	4.5	-	nH
Internal Source Inductance	L_S		-	7.5	-	
Drain-Source Body Diode Characteristics						
Continuous Source-Drain Diode Current	I_S	MOSFET symbol showing the integral reverse p - n junction diode 	-	-	9.0	A
Pulsed Diode Forward Current ^a	I_{SM}		-	-	36	
Body Diode Voltage	V_{SD}	$T_J = 25^\circ\text{C}, I_S = 9.0\text{ A}, V_{GS} = 0\text{ V}^b$	-	-	2.0	V
Body Diode Reverse Recovery Time	t_{rr}	$T_J = 25^\circ\text{C}, I_F = 5.9\text{ A}, dI/dt = 100\text{ A}/\mu\text{s}$	-	170	340	ns
Body Diode Reverse Recovery Charge	Q_{rr}		-	1.1	2.2	
Forward Turn-On Time	t_{on}	Intrinsic turn-on time is negligible (turn-on is dominated by L_S and L_D)				

Notes

- a. Repetitive rating; pulse width limited by maximum junction temperature (see fig. 11).
- b. Pulse width $\leq 300\ \mu\text{s}$; duty cycle $\leq 2\%$.



IRFZ44, SiHFZ44

Vishay Siliconix

Power MOSFET

PRODUCT SUMMARY		
V_{DS} (V)	60	
$R_{DS(on)}$ (Ω)	$V_{GS} = 10\text{ V}$	0.028
Q_g (Max.) (nC)	67	
Q_{gs} (nC)	18	
Q_{gd} (nC)	25	
Configuration	Single	

FEATURES

- Dynamic dV/dt Rating
- 175 °C Operating Temperature
- Fast Switching
- Ease of Paralleling
- Simple Drive Requirements
- Compliant to RoHS Directive 2002/95/EC

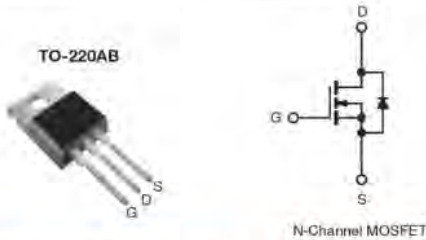


Available:
RoHS*
COMPLIANT

DESCRIPTION

Third generation Power MOSFETs from Vishay provide the designer with the best combination of fast switching, ruggedized device design, low on-resistance and cost-effectiveness.

The TO-220AB package is universally preferred for commercial-industrial applications at power dissipation levels to approximately 50 W. The low thermal resistance and low package cost of the TO-220AB contribute to its wide acceptance throughout the industry.



ORDERING INFORMATION	
Package	TO-220AB
Lead (Pb)-free	IRFZ44PbF SiHFZ44-E3
SnPb	IRFZ44 SiHFZ44

ABSOLUTE MAXIMUM RATINGS ($T_C = 25\text{ °C}$, unless otherwise noted)			
PARAMETER	SYMBOL	LIMIT	UNIT
Drain-Source Voltage	V_{DS}	60	V
Gate-Source Voltage	V_{GS}	± 20	
Continuous Drain Current ^a	V_{GS} at 10 V	$T_C = 25\text{ °C}$	50
Continuous Drain Current		$T_C = 100\text{ °C}$	36
Pulsed Drain Current ^a			200
Linear Derating Factor		1.0	W/°C
Single Pulse Avalanche Energy ^b	E_{AS}	100	mJ
Maximum Power Dissipation	$T_C = 25\text{ °C}$	P_D	150
Peak Diode Recovery dV/dt ^c		dV/dt	4.5
Operating Junction and Storage Temperature Range		T_J, T_{stg}	-55 to +175
Soldering Recommendations (Peak Temperature) ^d	for 10 s		300
Mounting Torque	6-32 or M3 screw		10
			1.1

Notes

- Repetitive rating; pulse width limited by maximum junction temperature (see fig. 11).
- $V_{DS} = 25\text{ V}$, starting $T_J = 25\text{ °C}$, $L = 44\text{ }\mu\text{H}$, $R_g = 25\text{ }\Omega$, $I_{AS} = 51\text{ A}$ (see fig. 12).
- $I_{SD} \leq 51\text{ A}$, $dI/dt \leq 250\text{ A}/\mu\text{s}$, $V_{DD} \leq V_{DS}$, $T_J \leq 175\text{ °C}$.
- 1.6 mm from case.
- Current limited by the package, (die current = 51 A).



* Pb containing terminations are not RoHS compliant, exemptions may apply

IRFZ44, SiHFZ44

Vishay Siliconix



THERMAL RESISTANCE RATINGS				
PARAMETER	SYMBOL	TYP.	MAX.	UNIT
Maximum Junction-to-Ambient	R_{thJA}	-	62	°C/W
Case-to-Sink, Flat, Greased Surface	R_{thCS}	0.50	-	
Maximum Junction-to-Case (Drain)	R_{thJC}	-	1.0	

SPECIFICATIONS ($T_J = 25\text{ }^\circ\text{C}$, unless otherwise noted)						
PARAMETER	SYMBOL	TEST CONDITIONS	MIN.	TYP.	MAX.	UNIT
Static						
Drain-Source Breakdown Voltage	V_{DS}	$V_{GS} = 0\text{ V}, I_D = 250\text{ }\mu\text{A}$	60	-	-	V
V_{DS} Temperature Coefficient	$\Delta V_{DS}/T_J$	Reference to $25\text{ }^\circ\text{C}, I_D = 1\text{ mA}$	-	0.060	-	V/°C
Gate-Source Threshold Voltage	$V_{GS(th)}$	$V_{DS} = V_{GS}, I_D = 250\text{ }\mu\text{A}$	2.0	-	4.0	V
Gate-Source Leakage	I_{GSS}	$V_{GS} = \pm 20\text{ V}$	-	-	± 100	nA
Zero Gate Voltage Drain Current	I_{DSS}	$V_{DS} = 60\text{ V}, V_{GS} = 0\text{ V}$	-	-	25	μA
		$V_{DS} = 48\text{ V}, V_{GS} = 0\text{ V}, T_J = 125\text{ }^\circ\text{C}$	-	-	250	
Drain-Source On-State Resistance	$R_{DS(on)}$	$V_{GS} = 10\text{ V}, I_D = 31\text{ A}^b$	-	-	0.028	Ω
Forward Transconductance	g_{fs}	$V_{DS} = 25\text{ V}, I_D = 31\text{ A}$	15	-	-	S
Dynamic						
Input Capacitance	C_{iss}	$V_{GS} = 0\text{ V}, V_{DS} = 25\text{ V}, f = 1.0\text{ MHz}, \text{ see fig. 5}$	-	1900	-	pF
Output Capacitance	C_{oss}		-	920	-	
Reverse Transfer Capacitance	C_{rss}		-	170	-	
Total Gate Charge	Q_g	$V_{GS} = 10\text{ V}, I_D = 51\text{ A}, V_{DS} = 48\text{ V}, \text{ see fig. 6 and 13}^b$	-	-	67	nC
Gate-Source Charge	Q_{gs}		-	-	18	
Gate-Drain Charge	Q_{gd}		-	-	25	
Turn-On Delay Time	$t_{d(on)}$	$V_{DD} = 30\text{ V}, I_D = 51\text{ A}, R_g = 9.1\text{ }\Omega, R_D = 0.55\text{ }\Omega, \text{ see fig. 10}^b$	-	14	-	ns
Rise Time	t_r		-	110	-	
Turn-Off Delay Time	$t_{d(off)}$		-	45	-	
Fall Time	t_f		-	92	-	
Internal Drain Inductance	L_D	Between lead, 6 mm (0.25") from package and center of die contact 	-	4.5	-	nH
Internal Source Inductance	L_S		-	7.5	-	
Drain-Source Body Diode Characteristics						
Continuous Source-Drain Diode Current	I_S	MOSFET symbol showing the integral reverse p - n junction diode 	-	-	50	A
Pulsed Diode Forward Current ^a	I_{SM}		-	-	200	
Body Diode Voltage	V_{SD}	$T_J = 25\text{ }^\circ\text{C}, I_S = 51\text{ A}, V_{GS} = 0\text{ V}^b$	-	-	2.5	V
Body Diode Reverse Recovery Time	t_{rr}	$T_J = 25\text{ }^\circ\text{C}, I_F = 51\text{ A}, di/dt = 100\text{ A}/\mu\text{s}$	-	120	180	ns
Body Diode Reverse Recovery Charge	Q_{rr}		-	0.53	0.80	
Forward Turn-On Time	t_{on}	Intrinsic turn-on time is negligible (turn-on is dominated by L_S and L_D)				

Notes

- a. Repetitive rating; pulse width limited by maximum junction temperature (see fig. 11).
- b. Pulse width $\leq 300\text{ }\mu\text{s}$; duty cycle $\leq 2\%$.



IRFZ20, SiHFZ20

Vishay Siliconix

Power MOSFET

PRODUCT SUMMARY		
V_{DS} (V)	50	
$R_{DS(on)}$ (Ω)	$V_{GS} = 10\text{ V}$	0.10
Q_g (Max.) (nC)	17	
Q_{gs} (nC)	9.0	
Q_{gd} (nC)	3.0	
Configuration	Single	

FEATURES

- Extremely Low $R_{DS(on)}$
- Compact Plastic Package
- Fast Switching
- Low Drive Current
- Ease of Paralleling
- Excellent Temperature Stability
- Parts Per Million Quality
- Compliant to RoHS Directive 2002/95/EC



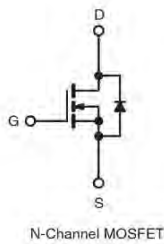
RoHS*
COMPLIANT

DESCRIPTION

The technology has expanded its product base to serve the low voltage, very low $R_{DS(on)}$ MOSFET transistor requirements. Vishay's highly efficient geometry and unique processing have been combined to create the lowest on resistance per device performance. In addition to this feature all have documented reliability and parts per million quality!

The transistor also offer all of the well established advantages of MOSFETs such as voltage control, very fast switching, ease of paralleling, and temperature stability of the electrical parameters.

They are well suited for applications such as switching power supplies, motor controls, inverters, choppers, audio amplifiers, high energy pulse circuits, and in systems that are operated from low voltage batteries, such as automotive, portable equipment, etc.



ORDERING INFORMATION	
Package	TO-220AB
Lead (Pb)-free	IRFZ20PbF SiHFZ20-E3
SnPb	IRFZ20 SiHFZ20

ABSOLUTE MAXIMUM RATINGS					
PARAMETER			SYMBOL	LIMIT	UNIT
Drain-Source Voltage ^a			V_{DS}	50	V
Gate-Source Voltage ^a			V_{GS}	± 20	
Continuous Drain Current	V_{GS} at 10 V	$T_C = 25\text{ }^\circ\text{C}$	I_D	15	A
		$T_C = 100\text{ }^\circ\text{C}$		10	
Pulsed Drain Current ^b			I_{DM}	60	
Single Pulse Avalanche Energy ^c			E_{AS}	5	mJ
Linear Derating Factor (see fig. 16)				0.32	W/ $^\circ\text{C}$
Maximum Power Dissipation (see fig. 16)	$T_C = 25\text{ }^\circ\text{C}$		P_D	40	W
Operating Junction and Storage Temperature Range			T_J, T_{stg}	-55 to +150	$^\circ\text{C}$
Soldering Recommendations (Peak Temperature)	for 10 s			300 (0.063" (1.6 mm) from case)	

Notes

- $T_J = 25\text{ }^\circ\text{C}$ to $150\text{ }^\circ\text{C}$
- Repetitive rating: Pulse width limited by max. junction temperature. See transient temperature impedance curve (see fig. 11).
- Starting $T_J = 25\text{ }^\circ\text{C}$, $L = 0.07\text{ mH}$, $R_g = 25\text{ }\Omega$, $I_{AS} = 12\text{ A}$



* Pb containing terminations are not RoHS compliant, exemptions may apply

IRFZ20, SiHFZ20

Vishay Siliconix



THERMAL RESISTANCE RATINGS				
PARAMETER	SYMBOL	TYP.	MAX.	UNIT
Typical Socket Mount, Junction-to-Ambient	R_{thJA}	-	80	°C/W
Case-to-Sink, Mounting Surface Flat, Smooth, and Greased	R_{thCS}	1.0	-	
Junction-to-Case	R_{thJC}	-	3.12	

ELECTRICAL CHARACTERISTICS ($T_J = 25\text{ }^\circ\text{C}$, unless otherwise noted)						
PARAMETER	SYMBOL	TEST CONDITIONS	MIN.	TYP.	MAX.	UNIT
Static						
Drain-Source Breakdown Voltage	V_{DS}	$V_{GS} = 0\text{ V}$, $I_D = 250\text{ }\mu\text{A}$	50	-	-	V
Gate-Source Threshold Voltage	$V_{GS(th)}$	$V_{DS} = V_{GS}$, $I_D = 250\text{ }\mu\text{A}$	2.0	-	4.0	V
Gate-Source Leakage	I_{GSS}	$V_{GS} = \pm 20\text{ V}$	-	-	± 500	nA
Zero Gate Voltage Drain Current	I_{DSS}	$V_{DS} > \text{Max. Rating}$, $V_{GS} = 0\text{ V}$	-	-	250	μA
		$V_{DS} = \text{Max. Rating} \times 0.8$, $V_{GS} = 0\text{ V}$, $T_C = 125\text{ }^\circ\text{C}$	-	-	1000	
On-State Drain Current	$I_{D(on)}$	$V_{GS} = 10\text{ V}$, $V_{DS} > I_{D(on)} \times R_{DS(on)}$ max.	-	-	15	A
Drain-Source On-State Resistance ^b	$R_{DS(on)}$	$V_{GS} = 10\text{ V}$, $I_D = 10\text{ A}$	-	0.080	0.10	Ω
Forward Transconductance ^b	g_{fs}	$V_{DS} > I_{D(on)} \times R_{DS(on)}$ max., $I_D = 9.0\text{ A}$	5.0	6.0	-	S
Dynamic						
Input Capacitance	C_{iss}	$V_{GS} = 0\text{ V}$, $V_{DS} = 25\text{ V}$, $f = 1.0\text{ MHz}$, see fig. 11	-	560	860	pF
Output Capacitance	C_{oss}		-	250	350	
Reverse Transfer Capacitance	C_{rss}		-	60	100	
Total Gate Charge	Q_g	$V_{GS} = 10\text{ V}$, $I_D = 20\text{ A}$, $V_{DS} = 0.8$ max. rating, see fig. 18 for test circuit (Gate charge is essentially independent of operating temperature)	-	12	17	nC
Gate-Source Charge	Q_{gs}		-	9.0	-	
Gate-Drain Charge	Q_{gd}		-	3.0	-	
Turn-On Delay Time	$t_{d(on)}$	$V_{DD} = 25\text{ V}$, $I_D = 9.0\text{ A}$, $Z_0 = 50\text{ }\Omega$, see fig. 5 ^b	-	15	30	ns
Rise Time	t_r		-	45	90	
Turn-Off Delay Time	$t_{d(off)}$		-	20	40	
Fall Time	t_f		-	15	30	
Internal Drain Inductance	L_D	Modified MOSFET symbol showing the internal device inductances 	-	3.5	-	nH
Internal Source Inductance	L_S		-	4.5	-	
Drain-Source Body Diode Characteristics						
Continuous Source-Drain Diode Current	I_S	MOSFET symbol showing the integral reverse p-n junction rectifier 	-	-	15	A
Pulsed Diode Forward Current ^a	I_{SM}		-	-	60	
Body Diode Voltage ^b	V_{SD}	$T_C = 25\text{ }^\circ\text{C}$, $I_S = 15\text{ A}$, $V_{GS} = 0\text{ V}$	-	-	1.5	V
Body Diode Reverse Recovery Time	t_{rr}	$T_J = 150\text{ }^\circ\text{C}$, $I_F = 15\text{ A}$, $dI_F/dt = 100\text{ A}/\mu\text{s}$	-	100	-	ns
Body Diode Reverse Recovery Charge	Q_{rr}		-	0.4	-	μC
Forward Turn-On Time	t_{on}	Intrinsic turn-on time is negligible (turn-on is dominated by L_S and L_D)				

Notes

- a. Repetitive rating: Pulse width limited by max. junction temperature. See transient temperature impedance curve (see fig. 5).
- b. Pulse test: Pulse width $\leq 300\text{ }\mu\text{s}$; duty cycle $\leq 2\%$.

ANEXO F: HOJA TÉCNICA DE DATOS ENCAPSULADO TO 220

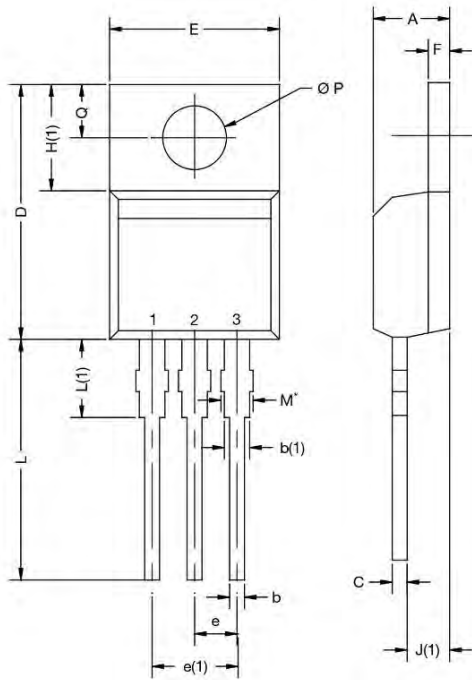


www.vishay.com

Package Information

Vishay Siliconix

TO-220-1

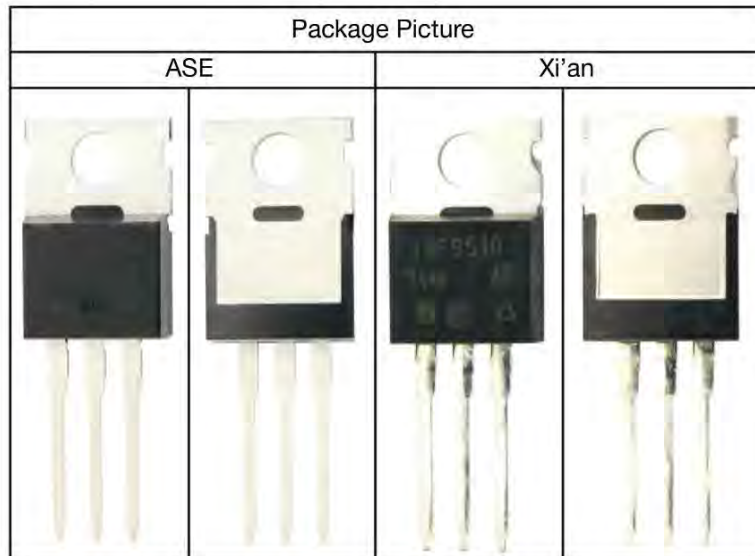


DIM.	MILLIMETERS		INCHES	
	MIN.	MAX.	MIN.	MAX.
A	4.24	4.65	0.167	0.183
b	0.69	1.02	0.027	0.040
b(1)	1.14	1.78	0.045	0.070
c	0.36	0.61	0.014	0.024
D	14.33	15.85	0.564	0.624
E	9.96	10.52	0.392	0.414
e	2.41	2.67	0.095	0.105
e(1)	4.88	5.28	0.192	0.208
F	1.14	1.40	0.045	0.055
H(1)	6.10	6.71	0.240	0.264
J(1)	2.41	2.92	0.095	0.115
L	13.36	14.40	0.526	0.567
L(1)	3.33	4.04	0.131	0.159
Ø P	3.53	3.94	0.139	0.155
Q	2.54	3.00	0.100	0.118

ECN: X15-0364-Rev. C, 14-Dec-15
DWG: 6031

Note

- M* = 0.052 inches to 0.064 inches (dimension including protrusion), heatsink hole for HVM



4200A-SCS Parameter Analyzer

Datasheet



KEITHLEY
A Tektronix Company

See your innovations come to life. The 4200A-SCS is a customizable and fully-integrated parameter analyzer that provides synchronized insight into current-voltage (I-V), capacitance-voltage (C-V), and ultra-fast pulsed I-V characterization. The highest performance parameter analyzer, the 4200A-SCS accelerates semiconductor, materials, and process development.

The 4200A-SCS Clarius™ GUI-based Software provides clear, uncompromised measurement and analysis capability. Furnished with embedded measurement expertise and hundreds of ready-to-use application tests, Clarius Software enables you to dig deeper into your research with speed and confidence.

The 4200A-SCS Parameter Analyzer is completely customizable and fully upgradable, so you can add the instruments you need now – or later. With the 4200A-SCS Parameter Analyzer, making connections to your bold discoveries has never been easier.

Key Performance Specifications

I-V Source Measure Unit (SMU)

- ± 210 V/100 mA or ± 210 V/1 A modules
- 100 fA measure resolution
- 10 aA measure resolution with optional preamp
- 10 mHz – 10 Hz very low frequency capacitance measurements
- 100 μ F load capacitance
- 4-quadrant operation
- 2 or 4-wire connections

C-V Multi-frequency Capacitance Unit (CVU)

- AC impedance measurements (C-V, C-f, C-t)
- 1 kHz – 10 MHz frequency range
- ± 30 V (60 V differential) built-in DC bias, expandable to ± 210 V (420 V differential)
- Simple switching between I-V and C-V measurements with the optional CVIV Multi-Switch

Pulsed I-V Ultra-fast Pulse Measure Unit (PMU)

- Two independent or synchronized channels of high-speed pulsed I-V source and measure
- 200 MS/s, 5 ns sampling rate
- ± 40 V (80 V_{p-p}), ± 800 mA
- Transient waveform capture mode
- Arbitrary waveform generator for multi-level pulse waveform with 10 ns programmable resolution

High Voltage Pulse Generator Unit (PGU)

- Two channels of high-speed pulsed V source
- ± 40 V (80 V_{p-p}), ± 800 mA
- Arbitrary waveform generator Segment ARB® mode for multi-level pulse waveform with 10 ns programmable resolution

I-V/C-V Multi-Switch Module (CVIV)

- Easily switch between I-V and C-V measurements without re-cabling or lifting probe needles
- Move the C-V measurement to any terminal without re-cabling or lifting probe needles
- ± 210 V DC bias capable

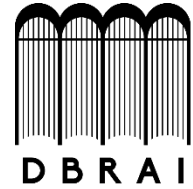
Remote Pre-amplifier/Switch Module (RPM)

- Automatically switches between I-V, C-V, and ultra-fast pulsed I-V measurements
- Extends current sensitivity of the 4225-PMU to tens of picoamps
- Reduces cable capacitance effects

Tektronix®



ESCUELA SUPERIOR POLITÉCNICA DE
CHIMBORAZO



DIRECCIÓN DE BIBLIOTECAS Y RECURSOS
PARA EL APRENDIZAJE Y LA INVESTIGACIÓN

UNIDAD DE PROCESOS TÉCNICOS
REVISIÓN DE NORMAS TÉCNICAS, RESUMEN Y BIBLIOGRAFÍA

Fecha de entrega: 29 / 06 / 2020

INFORMACIÓN DEL AUTOR/A (S)
Nombres – Apellidos: Sofia Elizabeth Berrones Asqui
INFORMACIÓN INSTITUCIONAL
Facultad: Facultad de Informática y electrónica
Carrera: Ingeniería Electrónica en Control y Redes Industriales
Título a optar: Ingeniera en Electrónica Control y Redes Industriales
f. Analista de Biblioteca responsable: Ing. CPA. Jhonatan Rodrigo Parreño Uquillas. MBA.
 
22-04-2020 0093-DBRAI-UPT-2020